

전기전자공학부 소식지

8월호



컴퓨터 시스템 및 고신뢰성 SOC 연구실

Computer systems and
reliable SOC laboratory



YONSEI UNIVERSITY

컴퓨터 시스템 및 고신뢰성 SOC 연구실(지도교수:강성호), 도약연구(전략과제) 선정

2012년 5월 컴퓨터 시스템 및 고신뢰성 SOC 연구실 (지도교수: 강성호)에서는 “초미세폭 3차원 반도체 제조비용 절감을 위한 설계 및 테스트 기술” 연구가 교육과학기술부에서 주관하는 중견연구자지원사업의 도약연구(전략)로 선정되었다. 이 연구과제는 2012년 5월 1일부터 2015년 4월 30일까지 3년간 수행되며 연간 308,000,000원을 지원받는다. 이 연구과제는 고집적의 반도체를 구현하기 위하여 많은 관심을 끌고 있는 3차원 반도체를 주제로 설계 및 테스트 기술의 신뢰성 획득을 통한 수율 향상 및 표준화 관련 기술을 선점하기 위해 진행된다. 이 연구는 설계 기술, 테스트 기술, 수율 향상 기술의 3가지 세부 주제로 나누어 진행되며 설계 기술 관점에서는 3차원 반도체의 발열 문제를 최소화 하고 전력소비를 줄일 수 있는 기술을 개발함과 동시에 전압 및 동작 주파수 제어를 통해 시스템 안정성을 높이는 것을 목표로 한다. 테스트 기술 관점에서는 3차원 반도체의 다양한 결합 요소들을 복합적으로 고려하여 고장을 모델링하고, 효율적인 테스트 컨트롤러 개발과 최적화된 테스트 구조를 통해 제조비용을 절감시킬 수 있도록 한다. 수율 향상 기술 관점에서는 3차원 구조에 최적화된 예비 자원 구조, 3차원 반도체의 다양한 고장을 수리하는 방법과 함께 시스템의 수율을 높이는 방법을 연구한다. 이 연구를 통해 다수의 전문 인력을 배출하고 우수 논문 및 특허를 창출하여 국내 3차원 반도체기술의 상용화에 기여하고 관련 분야의 국가 경쟁력을 높이고자 한다.

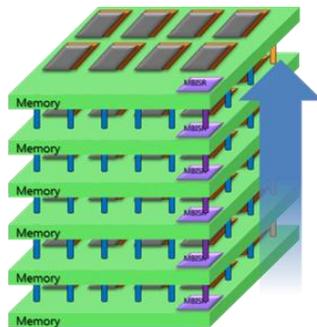
Design and Test Techniques for Low-Cost 3D-IC Manufacturing

● Backgrounds

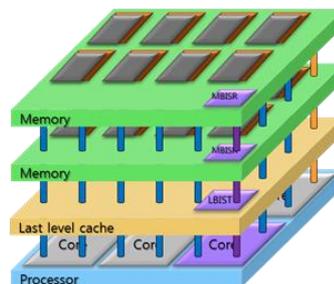
- Problems
 - Thermal and reliability issues due to increase of the number of stacked dies
 - Requirement of parallel test and repair methodologies by consideration of 3D-IC characteristics
- Objectives
 - Test techniques development to surmount stack constraints caused by thermal effect
 - Scalability, stability, testability, yield and reliability improvements during 3D-IC manufacturing

● Researches

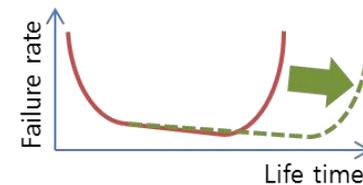
- Design of 3D test architectures under clock and power constraints
- Parallel test architectures to guarantee stack stability of heterogeneous 3D-IC
- Built-in self-test and built-in self-repair techniques for heterogeneous 3D-IC
- Test optimization based on hot region and thermal distribution analyses in each stacked die
- Test and life-time extension architectures to secure reliability of 3D-IC



Stack scalability



Heterogeneous stacked dies test



Reliability improvement & life-time extension