BIST 환경에서의 천이 역제 스캔 셀 구조

(Transition Repression Architecture for scan CEII (TRACE) in a BIST environment)

김인철*, 송동섭*, 김유빈*, 김기철*, 강성호**

(Incheol Kim, Dongsup Song, Youbean Kim, Kicheol Kim, and Sungho Kang)

요 약

본 논문은 테스트 수행 중 발생하는 전력 소모를 줄이기 위한 변형된 스캔 셀 구조를 제안하고 있다. 이는 스캔 이동 중에 포함 회로 부분에서 발생하는 전력을 제한할 뿐 아니라 동시에 스캔 셀 내에서 발생하는 전력도 감소시킨다. 본 논문은 test-per-scan BIST 구조에 적합하고 실질 스캔 구조 뿐 아니라 멀티 스캔 구조에도 적용 가능하다. 실험 결과는 제안하는 방법이 기존의 방법들과 비교한 수준의 고장 검출율을 가지면서 보다 적절 전력소모를 보여준다.

Abstract

This paper presents a modified scan cell architecture to reduce the power dissipation during testing. It not only eliminates switching activities in the combinational logic during scan shifting but also reduces switching activities in the scan chain during the time. Furthermore, it limits the transitions on capture cycles. It can be made for test-per-scan BIST and employed in both single scan style and multiple scan style. Experimental results demonstrate that the proposed structure achieves the same fault coverage with lower power consumption compared to other existing BIST schemes.

Keywords: Low Power, Built-in Self-Test(BIST), Switching Activity, Scan Chain

I. 서 론

최근 반도체 공정 기술의 발전으로, 회로를 다자인하는 기술이 빠르게 발전하여 가고 있다. 오늘날의 복잡한 디지털 회로를 설계하고 테스트 하는 데에 있어 기존의 통과 방법들은 한계에 부딪히기 시작하여 저전력 소모에 대한 중요성이 부각되기 시작하였다. 또한 저전력 테스트의 점점 늘어나면서 점점 멀어진 다이어스들이 들어 있는 VLSI 회로 등에서도 전력 소모 문제는 중요한 이슈가 되었다.

BIST(Built-in Self-Test)는 이러한 필요에 따라 새로운 테스트 방법으로, 회로를 테스트 하는데 있어 약간의 하드웨어를 추가함으로써 외부 장비의 필요 없이 테스트를 수행할 수 있도록 한 설계 방법인[2].

그러나 테스트 과정에서 발생하는 과도한 전력 소모 문제에 대해서는 BIST도 해결책을 제시해 주지 못하였다. 최근에 각종 휴대용 기기들이 출시되면서 저전력 소모에 대한 중요성이 부각되기 시작하였다. 또한 저전력 테스트의 점점 늘어나면서 점점 멀어진 다이어스들이 들어 있는 VLSI 회로 등에서도 전력 소모 문제는 중요한 이슈가 되었다.

디지털 시스템에서는 정상 동작 모드에 비해 테스트 모드에서 전력과 에너지 소모가 더 크게 나타난다[3]. 반복적으로 CMOS 회로에서의 전력 소모는 회로 내에서의 스위칭 동작과 적절적인 연결이 있는데, 정상 동작 모드에서는 입력들 간에 링크한 연결성이 존재하는 테스트 모드에서는 그렇지 않기 때문이다. 이는
지로에서의 스위칭 동작을 증가시키기 위해, 끝 전력 소모를 증가시키는 결과를 가져온다. 따라서 회로 내 각 노드들에서의 스위칭 동작을 줄여주는 것이 전력 소모를 줄이는 방법이 된다.

일반적으로 전력 소모는 average power 소모와 peak power 소모의 두 가지 측면에서 살펴보게 된다. average power 소모가 크면 배터리의 사용을 저하시키는 기기에서 사용 시간의 단축을 가져오므로 저명적일 수 있다. peak power 소모는 회로의 역동적, 정적 기계를 결정하는 중요한 요소 중 하나이다. 테스트 모드에서는 정상 동작 모드에 비해 과도한 스위칭 동작으로 인하여 높은 열이 발생하게 되고 이는 회로에 영구적으로 손상을 줄 수 있다. 이는 회로의 신뢰성을 떨어뜨리며, 회로의 수행을 낮추게 되므로, 추가적인 장치를 필요로 하게 될 경우 비용 측면에서도 문제가 될 수 있다. 그러므로 테스트 모드에서 전력 소모를 줄이는 것은 반드시 고려되어야 할 중요한 항목이다.

한아에 의한 전력 소모 문제와 관련하여 기존에 많은 연구들이 있었는데, [5, 7, 8, 9, 10] 그 중에서 LT-RTPG (low-transition random TPG)는 k-input AND 게이트와 1-BIT 플립 플롭을 사용하여 스캔 입력에서 이전 입력과의 연관성을 높여 스캔 동작이 일어나는 동안 발생하는 전력은 줄이는 방법이다. [11]

그린 MUX를 이용해 스캔 셀의 구조를 변경한 방법 [6] 이 있다. 이는 스캔 셀에 MUX를 추가하여 스캔이 동작이 일어나는 동안에는 참 조합 회로 부문으로 갑이 전달되지 않도록 캡쳐 사이클에서만 값이 전달되도록 스캔 셀의 구조를 변경한 방법이다.

본 논문에서 제안하는 방법은 [3]의 방법과 유사하게 스캔 입력을 간선 연관성을 높여 스캔 동작에서 발생하는 전기를 줄이기 위해, 이에 따라 추가되는 데하이트 오프라운드와 전체 첫 수와의 trade-off 관계에 대해서도 본문에서 언급하였다.

II장에서는 제안하는 방법을 적용한 전체적인 BIST 구조에 대하여 소개하고, III장에서는 구체적으로 제안하는 스캔 셀의 구조에 대해 살펴본다. IV장에서는 회로 동작에 오프라운드를 줄여하기 위해 취할 수 있는 응선에 대해 언급하며 제안하는 방법을 멀티 스크립 구조에서도 적용 가능함을 V장에서 설명하고, VI장에서는 ISCAS'89 회로에 대한 여러 가지 비교 실험 결과를 제시, 분석한다. 마지막으로 VII장에서 결과를 정리하고 결론을 맺도록 하였다.

II. 전체적인 BIST 구조

그림 1은 본 논문에서 제안하는 BIST 구조의 전체적인 몰록 Diagram이다.

![BIST architecture](image)

**그림 1. 제안하는 BIST 구조**

Fig. 1. Proposed BIST architecture.

제안하는 BIST 구조는 전체적으로 일반적인 BIST 구조와 크게 다르지 않으며, 회로로 응용 처리된 복록이 착수를 줄이기 위해 본 논문에서 제안하는 방법을 통해 바꿔가며 전달되는 부분이다. 스캔 셀과 스캔 패턴 생성기의 구체적인 구조 및 착수를 줄이기 위한 원리에 대해서는 이어서는 III장에서 다루도록 하겠다.

III. 제안하는 스캔 셀 구조

기존의 일반적인 스캔 셀은 다음 스캔 셀로 값을 전달하는 노드와 조합 회로 부문으로 값을 전달하는 노드가 골동하여 있다. 따라서 스캔 동작이 일어나는 동안 조합 회로 부문으로 값이 전달되지 않고, 이 동안 조합 회로 내의 체이스를 유발하게 된다. 스캔 동작이 일어나는 동안 조합 회로 부문으로 값이 전달되지 않게 한다면 조합 회로 부문의 체이스 전달을 막을 수 있어 전계적으로 전력 소모를 크게 줄이는 효과를 얻을 수 있다.

하지만 캡쳐 사이클에서 플립 플롭에 저장되어 있던
그림 2. 제안하는 스크 셀 구조 - TRACE
Fig. 2. Proposed scan cell architecture - TRACE.

값들이 조합 회로 부분으로 전달될 때 만약 대부분의 비트에서 친이 가입되어나면 average power는 아니라 peak power 측면에서 심각한 문제가 발생할 수 있다. 순간적으로 회로의 많은 부분에서 친이가 동시에 일어나는 peak power의 허용치를 넘게 되어 회로에 손상을 입힐 수도 있는 것이다.

따라서 스크 셀에서 조합 회로 부분으로 전달되는 값들 간의 연관성을 높이기 위해서는 단순히 스크 아두이 일어나는 동안 값을 막아 주기 위한 방법보다 더 높은 효과를 얻을 수 있게 된다.

그림 2는 제안하는 스크 셀 구조 (TRACE : Transition Repression Architecture for scan Cell)를 나타낸다. 위와 같이 스크 셀을 구성하고, 추가적으로 하나의 콘트롤 신호 (scan_en)를 생성한다. 이 신호는 회로의 컨텐츠에 따른 신호를 생성한다. D-FF의 scan_en 신호 (scan_en2)가 중실적으로 클리어가 되는 신호로 전달되어야 한다. 이는 BIST 콘트롤의 쉐어 퍼트 카운터 값으로 구별하여 이런지 않게 생성해 낼 수 있다. scan_en2 신호를 입력으로 받는 MUX의 역할은 다른 스크 셀로 전달한다는 신호가 조합 회로 부분으로 전달해야 하는 신호를 구분해 주는 역할이다. 스크 아두이 일어나는 동안에는 이전 스크 셀에서 전달된 값 (test_k)이 첫 번째 MUX 와 두 번째 MUX를 통과한 뒤 D-플립플롭을 통과하여 다음 스크 셀로 전달된다 (test_s). 스크 아두이 일어나는 마지막 클리어 - 컨텐츠에 따른 클리어가 이루어지는 조합 회로 부분으로 전달되어야 할 값들이 각 스크 셀로 들어오게 된다. 이 때 이전에 조합 회로 부분으로 전달되었던 값 (k)과 스크 허용값 (test_k)을 XOR 연산을 해주어 MUX를 동작시킨다. 다음 클리어 (k)

그림 3. 클럭 신호와 콘트롤 신호의 타임링 (s234)
Fig. 3. Timing of clock and control signals (s234).

지난 나이가 더 있어 클립플롭을 통과하여 조합 회로 부분으로 전달될 것이다.

여기서 스크 셀은 동작하는 test_k에 따른 동작을 생각해보자. test_k로 스크 셀이 전달된 값은 이전 Q값과의 XOR 연산을 통해 조합 회로 부분으로 전달된다. 만약 전달된 test_k값이 '0'이라면 이전 Q값과 동일한 값이 조합 회로 부분으로 전달되어지고, test_k값이 '1'이라면 친이가 발생하여 이전 Q값과 다른 값이 조합 회로 부분으로 전달되게 된다. 클립플롭 211개 포함되어 있는 s234 회로를 하나의 스크 셀로 볼 때 조합 회로 부분으로 전달되게 된다. 클립플롭 211개 포함되어 있는 s234 회로를 하나의 스크 셀로 볼 때 조합 회로 부분으로 전달되게 된다. 이와 같은 구조에서 친이 가입율이 크기 때문에 test_k 신호를 어떻게 구성하여야 하는지는 자명하다. test_k 신호에서의 '1'의 값을 적어도 하나의 친이가 입력되는 것처럼 수행하는 것으로, 211번째 클리어에서 이전 Q값과 XOR 연산을 하여 마지막 T-플립플롭과 같은 동작을 수행하게 된다. 그리고 그 다음 클리어에 조합 회로 부분으로 이 값이 전달되면 된다.

위의 그림에서와 같이 210번째 클리어까지는 D-플립플롭과 같이 입력받는 값을 그대로 전달해주는 역할을 수행하게 되고, 211번째 클리어에서 이전 Q값과 XOR 연산을 하여 마지막 T-플립플롭과 같은 동작을 수행하게 된다. 그리고 그 다음 클리어에 조합 회로 부분으로 이 값이 전달되면 된다.

이와 같은 구조에서 친이 수를 줄이기 위해 test_k 신호를 어떻게 구성하여야 하는지는 자명하다. test_k 신호에서의 '1'의 값을 적어도 하나의 친이가 입력되는 것처럼 수행하는 것으로, 211번째 클리어에서 이전 Q값과 XOR 연산을 하여 마지막 T-플립플롭과 같은 동작을 수행하게 된다. 그리고 그 다음 클리어에 조합 회로 부분으로 이 값이 전달되게 된다.

표 1에서 볼 수 있듯이 test_k에서 '1'의 값이 차지하는 비율을 조절함에 따라 이전 패턴과의 연관성을 크게 높여줄 수 있다. 이는 [5]에서와 유사하게 LFSR와 k-input AND 게이트를 이용하여 생성해 낼 수 있다.

AND 게이트에 연결하는 입력의 수 (k값)에 따라 test_k 패턴에서의 '1'의 비율을 조절할 수 있다. k값이 너무 크면 생성되는 패턴의 유사성이 너무 높아져 고장
표 1. Comparison of patterns between standard method and TRACE (Underline means a transition occurred).

<table>
<thead>
<tr>
<th>일반적인 LFSR로 생성된 패턴의 일부</th>
<th>TRACE로 생성된 패턴의 일부</th>
</tr>
</thead>
<tbody>
<tr>
<td>1110010001111100101000100010000100</td>
<td>111001101101101000010000100</td>
</tr>
<tr>
<td>101001100101100111010011001010110</td>
<td>111000101101010110001100110000001</td>
</tr>
<tr>
<td>10101100100011001011110010100100100</td>
<td>110011100110100100001000110000000</td>
</tr>
<tr>
<td>1110011001011101001101001011111110</td>
<td>10101000111001011101001100000000</td>
</tr>
<tr>
<td>1010010100100110010111010100101011</td>
<td>1010010100100110010111010100101011</td>
</tr>
<tr>
<td>11001100100011001011110010100100100</td>
<td>111001001100100011010011000100000</td>
</tr>
<tr>
<td>1010010100100110010111010100101011</td>
<td>111001001100100011010011000100000</td>
</tr>
<tr>
<td>11001100100011001011110010100100100</td>
<td>10101000111001011101001100000000</td>
</tr>
<tr>
<td>1010010100100110010111010100101011</td>
<td>1010010100100110010111010100101011</td>
</tr>
<tr>
<td>11001100100011001011110010100100100</td>
<td>10101000111001011101001100000000</td>
</tr>
<tr>
<td>11110100110110010111110010100100100</td>
<td>10101000111001011101001100000000</td>
</tr>
</tbody>
</table>

검출율이 떨어지게 되고 k값이 너무 작으면 천이가 많아 일어날 수 있어 접근하는 역사적 효과를 얻지 못하게 될 수 있다. 이와 같이 생성된 test_seq 배열은 '0'의 비율이 높고 '1'의 비율이 낮은 패턴이 되므로 스캔 이동이 일어나는 동안 스캔 채널 내에서 발생하는 천이 수로 크게 줄일 수 있게 된다.

IV. 하드웨어 오버헤드의 감소를 위한 구조

TRACE에서 스캔 이동이 일어나는 동안 스캔 채널 내에서 일어나는 천이의 수를 크게 줄일 수 있고, 동시에 조합 회로 부분에서 일어나는 천이도 억제할 수 있다. 또한 스캔 채널에서 조합 회로 부분으로 가해지는 패턴들 간의 연관성도 매우 높으므로 average power를 오히려 peak power 측면으로도 뛰어난 천이 감소 효과를 얻을 수 있다. 고장 점검술도 실패 결과에 따라 진단 방법들과 비슷한 수준을 얻을 수 있음을 보여주었다.

그렇지만 TRACE를 구현하기 위해서는 일반적인 스캔 채널 구조에 MUX 2개와 XOR 게이트 1개가 추가되어야 하는데, 모든 스캔 채널에 이들을 추가하다면 하드웨어의 크기가 커질 수밖에 없다. 따라서 구조의 수정이 불가피하여, TRACE를 부분적으로 적용하여 하드웨어 오버헤드를 줄일 수 있었다.

그림 4에서와 같이 수정된 구조에서 스캔 채널 내의

![Combinational logic](image)

그림 4. TRACE – 수정된 구조
Fig. 4. TRACE – modified structure

그림 5. 스캔 셀의 첫 번째 탐색 (scheme 1)
Fig. 5. First type of the scan cell (scheme 1).

스캔 셀들은 두 가지 탐색으로 나뉘게 된다. 첫 번째 (scheme 1)는 하드웨어 오버헤드 증가폭을 줄이기 위해 TRACE 대신 그림 5와 같이 조합 회로 부분으로 값이 출력되는 부분의 천이를 억제하는 구조를 선택하였다.

이러한 구조를 탐색할 경우 스캔 셀에서 스캔 이동이 일어나는 동안 조합 회로 부분으로 빠져나가는 값은 '0'으로 고정되게 된다. 스캔 이동이 일어나는 동안의 scan en 신호의 값은 '1'을 유지되는 구조를 가정(MUX를 사용하는 데선에 NOR 게이트를 사용함으로서 하드웨어 오버헤드의 증가폭을 비교적 줄일 수 있게 된다.)

두 번째(scheme 2)는 편장에서 연급된 TRACE를 적용한다. TRACE를 탐색에 배치하는 이유는 TRACE를 하위에 작동하는 예측에 TRACEx에 작동하는 예측에서 생성된 패턴들은 '0'의 값이 대부분이고 '1'의 값이 적은 pseudo-random 패턴에 비해 값 들 간의 연관성이 높은 패턴들이 있기 때문에 앞쪽에 배치 하는 것보다 뒤쪽에 배치하는 것이 스캔 이동 회전 중
表 2. 각 태일에 따른 스캔 패턴
Table 2. Scan patterns for each scheme.

<table>
<thead>
<tr>
<th>벡터</th>
<th>scheme 1</th>
<th>scheme 2</th>
</tr>
</thead>
<tbody>
<tr>
<td>v1</td>
<td>101111111000</td>
<td>000010000001</td>
</tr>
<tr>
<td>v2</td>
<td>001000111111</td>
<td>010000000000</td>
</tr>
<tr>
<td>v3</td>
<td>100000111101</td>
<td>000000000110</td>
</tr>
<tr>
<td>v4</td>
<td>101111111111</td>
<td>000000000000</td>
</tr>
<tr>
<td>v5</td>
<td>111000109111</td>
<td>000000010000</td>
</tr>
<tr>
<td>v6</td>
<td>000100000001</td>
<td>010000000000</td>
</tr>
<tr>
<td>v7</td>
<td>101110111101</td>
<td>100001000000</td>
</tr>
<tr>
<td>v8</td>
<td>000110000000</td>
<td>000000010000</td>
</tr>
<tr>
<td>v9</td>
<td>101010000001</td>
<td>100000000000</td>
</tr>
<tr>
<td>v10</td>
<td>010100000000</td>
<td>000000000000</td>
</tr>
</tbody>
</table>

表 3. 스캔 셀 태일의 비율에 따른 실험 결과
Table 3. Experimental results for portion of scan cell types.

<table>
<thead>
<tr>
<th>표준 BIST</th>
<th>고장 검출율</th>
<th>하드웨어 오버헤드</th>
<th>천이 수 비율</th>
</tr>
</thead>
<tbody>
<tr>
<td>86.30</td>
<td>6433</td>
<td>1</td>
<td></td>
</tr>
</tbody>
</table>

그림 6. TRACe를 수정 적용한 BIST 구조
Fig. 6. The BIST architecture with modified TRACe application.

에스턴 체인 내에서 발생하는 천이의 수를 줄일 수 있게 된다.
스캔 셀을 이와 같이 두 가지 구조로 구성할 경우 생성되는 스캔 패턴은 다음과 같은 형태를 가지게 된다.
오른쪽에 위치한 패턴들은 TRACe(scheme 2)에 해당하는 패턴들이고 오른쪽에 있는 비트들부터 순서대로 스캔 체인에 입력되게 된다.


포 3에서 TRACe1은 모든 스캔 셀에 제한하는 방법 (scheme 2)을 적용한 것이고, TRACe2는 제한하는 방법을 적용한 스캔 셀의 1/2, TRACe3과 TRACe4는 각각 1/3, 1/4의 비율을 저지하도록 하였다. TRACe를 적용한 스캔 셀의 비율이 높을수록 천이 수는 감소하지만 하드웨어 오버헤드는 증가하게 된다. 따라서 설계자는 하드웨어 오버헤드와 천이 수의 조화가 높은 항목을 중점을 두어 스캔 셀 태일의 비율을 조절할 수 있다. 본 논문에서 S9234 회로의 회로들에 대해서는 천이 수 감소와 고장 검출율을 최적화한 TRACe3의 구조로 실험을 수행하였다.

하드웨어 오버헤드를 고려하여 TRACe를 수정 적용한 BIST의 전체 구조는 그림 6과 같다.

V. 멀티 스캔 구조에의 적용

TRACe는 스캔 체인의 수가 1개일 경우 스캔 체인

그림 7. TRACe – 멀티 스캔 구조에의 적용
Fig. 7. TRACe – multiple scan structure.
구조 뿐 아니라 스캔 채인의 수가 여러 개의 멀티 스캔 채인 구조에도 적용 가능하다. 그림 7과 같이 각 스캔 채인에 대해서도 4장에서 언급한 것과 같이 스캔 셀 탐입의 비율을 조절할 수 있다. 

표 4는 s9234 회로를 예로 들어 스캔 채인의 수를 16개로 구성하였을 때 스캔 셀 탐입의 비율에 따른 하드웨어 오버헤드와 전기 수의 관계를 나타낸 것이다.

表 4에서 TRACE1부터 TRACE4까지의 스캔 셀 탐입의 비율은 표 2에서의 그것과 동일하다. 결과에서 볼 수 있듯이 멀티 스캔 구조에서도 상당한 전기 수 감소 효과를 가져오는 것을 볼 수 있다. 또한 TRACE는 조합회로 부분으로 직접 들어가는 입력을 푸딩블롬으로 외는 wrapper 구조에 대해서도 작용이 가능하다. 이 경우 역시 마찬가지로 싱글 스캔 채인 구조와 멀티 스캔 채인 구조 모두에 대해 TRACE를 적용할 수 있고 스캔 셀 탐입의 비율도 조절할 수 있다.

VI. 실험 결과


<table>
<thead>
<tr>
<th></th>
<th>고장 검출율</th>
<th>하드웨어 오버헤드</th>
<th>전기 수 비율</th>
</tr>
</thead>
<tbody>
<tr>
<td>표준 BIST</td>
<td>83.35</td>
<td>6485</td>
<td>1</td>
</tr>
<tr>
<td>LT-RTPG [5]</td>
<td>71.49</td>
<td>6031</td>
<td>0.567</td>
</tr>
<tr>
<td>MUX [6]</td>
<td>83.35</td>
<td>801.5</td>
<td>0.369</td>
</tr>
<tr>
<td>TRACE1</td>
<td>72.29</td>
<td>7650</td>
<td>0.139</td>
</tr>
<tr>
<td>TRACE2</td>
<td>84.73</td>
<td>7325</td>
<td>0.299</td>
</tr>
<tr>
<td>TRACE3</td>
<td>83.48</td>
<td>9885</td>
<td>0.311</td>
</tr>
<tr>
<td>TRACE4</td>
<td>83.23</td>
<td>6916</td>
<td>0.345</td>
</tr>
</tbody>
</table>

<table>
<thead>
<tr>
<th></th>
<th></th>
<th></th>
<th></th>
</tr>
</thead>
<tbody>
<tr>
<td>FC</td>
<td>HO</td>
<td>trans</td>
<td>FC</td>
</tr>
<tr>
<td>s641</td>
<td>98.50</td>
<td>802.5</td>
<td>1</td>
</tr>
<tr>
<td>s713</td>
<td>92.25</td>
<td>916</td>
<td>1</td>
</tr>
<tr>
<td>s963</td>
<td>86.38</td>
<td>9926</td>
<td>1</td>
</tr>
<tr>
<td>s1196</td>
<td>99.28</td>
<td>10435</td>
<td>1</td>
</tr>
<tr>
<td>s1238</td>
<td>94.17</td>
<td>1073</td>
<td>1</td>
</tr>
<tr>
<td>s1423</td>
<td>98.02</td>
<td>14485</td>
<td>1</td>
</tr>
<tr>
<td>s578</td>
<td>91.79</td>
<td>3886</td>
<td>1</td>
</tr>
<tr>
<td>s9234</td>
<td>85.72</td>
<td>64415</td>
<td>1</td>
</tr>
<tr>
<td>s13207</td>
<td>93.15</td>
<td>13488</td>
<td>1</td>
</tr>
<tr>
<td>s15560</td>
<td>95.45</td>
<td>12407</td>
<td>1</td>
</tr>
<tr>
<td>s36417</td>
<td>92.25</td>
<td>28248</td>
<td>1</td>
</tr>
<tr>
<td>s36344</td>
<td>92.99</td>
<td>306375</td>
<td>1</td>
</tr>
</tbody>
</table>
표 5에서 FC는 고장 검출율, HO는 하드웨어 오버헤드, trans는 LT-RTPG를 가중으로 한 천이 수의 비율 을 나타낸다. LT-RTPG의 경우 하드웨어 오버헤드는 가장 작지만 고장 검출율이나 천이 감소 효과 측면에서 는 MUX를 사용한 방법이 TRAC에 비해 성능이 떨어지는 것을 확인할 수 있다. TRAC를 사용할 경우 다른 전력저감 기법을 사용한 방법에 비해 고장 검출율이 떨어지지 않으면서 LT-RTPG 방법에 비해 최대 74.9% 까지 천이 수를 줄일 수 있게 된다. MUX를 사용한 방법과 비교하였을 때에도 최대 28.5%까지 천이 수를 줄일 수 있으며, 표준 BIST 방법과 비교한다면 천이 수의 감소폭은 더욱 커지게 된다.

TRAC을 적용한 스태 패턴의 비율을 줄이면 하드웨어 오버헤드를 줄일 수 있고, TRAC을 적용한 스태 패턴의 비율을 늘리면 천이 수를 더욱 감소시킬 수 있으므로 다양한 결과를 얻을 수 있게 된다.

VII. 결론

본 논문을 통해 테스트가 수행되는 동안 발생하는 천이 수를 줄일 수 있는 새로운 BIST 구조가 제안되었 다. 테스트 모드에서 전력 소모가 정상 작동 모드에 비해 큰 이유는 대상 회로에 대한 입력들 사이에 연관성이 있기 때문에, 본 논문에서 제시한 방법은 이러한 테스트 입력들 간의 연관성을 늘어 주어 테스트가 수행되는 동안 발생하는 천이 수를 감소시켰다. 또한 스태 패턴 내에서 스태 이동이 일어나는 동안 불필요하게 조합 회로 부분에서 천이가 일어나는 것을 막으므로 천이 감소 효과를 극대화할 수 있었다.

제안하는 BIST 구조는 세 가지 원리를 통해 천이 수를 감소시키게 된다. 첫 번째로, 그림 1과 같이 수정된 스태 구조의 TRAC를 사용함으로써 스태 체인에서 조합 회로 부문으로 인가하는 값들의 연관성을 크게 향상시킨다. 두 번째로 TRAC을 사용하게 되면 발생되어야 하는 스태 형태의 FIN 값의 비율이 더 높게 되다 반면적으로 pseudo-random 패턴에 비해 연관성이 높게 되고, 이는 스태 체인에서 스태 이동이 일어날 때 발생하는 천이 수를 감소시키게 된다. 세 번째로 스태 체인에서 스태 이동이 일어날 때 조합 회로 부분으로 인가되는 천이를 억제함으로써 천이 수를 감소시키고, 위의 두 가지 천이 감소 효과를 극대화시켜주게 된다.

또한 TRAC은 고장 검출율 및 멀티 스태 체인 구조에 모두 적용 가능하고, wrapper 구조에도 적용 가능하다. 제안하는 방법으로 BIST를 구성하였을 때 고장 검출율의 순절 없이 기존 방법보다 최대 74.9%까지 천이 수를 감소시켜 전체적 테스트를 구현할 수 있음 을 실험 결과를 통해 확인할 수 있었다.

참고문헌

지자 소개

김인철(학생회장)
2005년 연세대학교 전기전자공학과 학사 졸업.
2006년 현재 연세대학교 전기전자공학과 석사 과정.
주관심분야: BIST, DFT, SoC Test

송동섭(학생회원)
2000년 건국대학교 전기공학과 학사 졸업.
2002년 연세대학교 전기전자공학과 석사 졸업.
2005년 현재 연세대학교 전기전자공학과 박사 과정.
주관심분야: DFT, SoC Testing, CAD

김유빈(학생회원)
2002년 서강대학교 컴퓨터학과 학사 졸업.
2004년 서강대학교 컴퓨터학과 석사 졸업.
2006년 현재 연세대학교 전기전자공학과 박사 과정.
주관심분야: BIST, DFT, SoC Test

김기철(학생회원)
2003년 연세대학교 기계전자공학부 학사 졸업.
2005년 연세대학교 전기전자공학과 석사 졸업.
2006년 현재 연세대학교 전기전자공학과 박사 과정.
주관심분야: BIST, DFT, SoC Test

강성호(정회원)
1986년 서울대학교 제어계측공학과 학사 졸업.
1988년 The University of Texas, Austin 전기 및 컴퓨터공학부 석사 졸업.
1992년 The University of Texas, Austin 전기 및 컴퓨터공학부 공학석사 박사 졸업.
주관심분야: SoC 설계 및 SoC 테스트

1992년 미국 Schlumberger Inc. 연구원
1994년 Motorola Inc. 신입 연구원
2006년 현재 연세대학교 전기전자공학과 교수
주관심분야: SoC 설계 및 SoC 테스트

이용철

(411)