

혼성 신호 회로에 대한 효과적인 BIST

(An Efficient BIST for Mixed Signal Circuits)

方金煥*, 姜成昊**

(Geum-Hwan Bahng and Sungho Kang)

요 약

혼성 신호 회로의 설계에 있어 저비용의 고효율 테스트 효율을 보장하기 위해 테스트의 노력은 계속되어 왔다. 특히 테스트를 고려한 BIST(built-in-self-test)설계 방법으로 발전해가고 있는 추세인데, 회로상에서 전체적인 테스트 용이도와 분석에 있어 보다 향상된 방법으로 접근할 수 있고 이러한 시스템에 대해 분석하는데 수월하게 할 수도 있다. 이 논문에서는 효과적인 테스트를 위한 방법을 위해 DC전압과 전압 위상에 대한 BIST를 구현하는 것을 제안하였다. 즉 정상적인 회로와 고장회로에서의 동작에서 전압과 위상의 차이를 검출하는 회로를 하드웨어상으로 구성함으로써 비용과 시간등을 효과적으로 줄이는 방법을 제안하였다. 실험 결과에서는 기존의 BIST와 비교하여 향상된 것을 나타낸다.

Abstract

For mixed signal circuits that integrate both analog and digital blocks onto the same chip, testing the mixed circuits has become the bottleneck. Since most of mixed signal circuits are functionally tested, mixed signal testing needs expensive automatic test equipments for test input generation and response acquisition. In this paper, a new efficient BIST is developed which can be used for mixed signal circuits. In the new BIST, only faults on embedded resistances, capacitances and its combinations are considered. To guarantee the quality of chips, the new BIST performs both voltage testing and phase testing. Using these two testing modes, all the faults are detected. In order to support this technique, the voltage detector and the phase detector are developed. Experimental results prove the efficiency of the new BIST.

Key Words : BIST, phase detector, voltage detector, signature analyzer

I. 서 론

최근 시스템에서 회로의 집적도가 갈수록 증가함에 따라 디지털 회로와 함께 혼성 신호 회로에 대한 테스트 방법을 연구하는 것이 중요한 과제로 대두되고 있다. 현재까지 디지털 설계분야에서는 설계 및 테스트관

련 자동화된 소프트웨어 솔루션이 오랜 기간동안 발전되어왔으나, 아날로그 및 혼성 신호 설계분야는 상대적으로 향상된 기술이 필요로 하는 게 현실이다.

현재의 시스템은 거의 모든 부분에서 디지털화하는 추세로 가고 있는 실정이다. 그러나 시스템에 필수 불가결하게 포함되어지는 아날로그 회로의 테스트에 대한 신뢰도에 있어서 그에 대한 테스트를 반드시 고려해 주어야 한다. 예를 들면 ADC(Analog to Digital Converter)나 위상 잠금 장치(phase locked lock), 필터(filter)등은 시스템을 구성하는 중요한 요소들이고 또한 최근의 통신 기술과 DSP시장의 급속한 발달로 혼성 신호 시스템에서의 그와 관련된 시스템 구성요소와 고

* 學生會員, 延世大學校 電子工學科

(Dept. of Electrical Eng., Yonsei Univ.)

** 正會員, 延世大學校 電子工學科

(Dept. of Electrical Eng., Yonsei Univ.)

接受日字:2001年6月11日, 수정완료일:2002年7月2日

성능의 동작등이 많이 요구되어지고 있다. 그에 따라 적지 않은 테스트 시간과 비용이 소요된다는 예상을 할 수 있다. 따라서 테스트 입장에서의 시간의 소요와 고비용이 수반되는 관점은 복잡해져 가는 회로들의 테스트에 있어서 제약이 되는 가장 큰 요인이 된 것이 사실이다. 그리고 테스트를 했을 때의 신뢰성 또한 중요한 요소 중의 하나로 테스트시간 및 비용과 하드웨어상의 오버헤드와 맞물려 항상 고려해야 할 조건이다. 따라서 이러한 점들을 고려하여 혼성 신호 회로에서의 여러 제약 조건과 비용등을 설계 단계 이전에 해야 하는 것이 필요하다. 현재와 향후의 아날로그와 혼성 신호회로 부분에서의 전체 비용에 관한 분석^[1]에 따르면 시스템 내에서 차지하는 하드웨어적 크기는 일반적으로 20%이하에 불과하나 그 비용에 있어서는 전체비용의 70%이상을 차지할 것이라 여겨진다.

혼성 신호 회로에 있어서 테스트 방법은 여러 유형으로 접근되고 있다. 즉 아날로그 특성상의 다양한 측정 부분과 허용오차와 관련되어 복잡한 양상으로 나타나므로 각 측정치의 오류등을 고려한 시스템의 안정성을 고려해야만 한다. 따라서 디지털 회로에서의 자체고장 테스트 개념을 도입하여 혼성 신호 회로 분야에서 적용시키는 방법을 고안하게 되었다. 디지털 회로에서 구현되는 회로의 집적도 및 복잡도가 크게 증가함에 따라, 칩 외부에서 테스트 패턴을 인가하고 이에 따른 테스트 응답을 저장된 정확한 값과 1:1 비교하는 방식의 전통적인 테스트 기법은 점차 그 적용이 어려워지고 있는 것이 사실이다. 이러한 문제점을 효과적으로 해결하기 위한 방편으로서 BIST(Built-In-Self-Test) 기법이 등장하게 되었다. 혼성 신호 회로에서의 테스트를 고려할 때 이러한 자체테스트기법을 도입하여 응용한다면 매우 효과적인 결과를 얻을 수 있다. 이러한 방법은 테스트 패턴을 칩 내부에서 생성하고 그 테스트 응답 또한 칩 내부에서 압축하여 단지 고장의 유무만을 외부에 알려주는 매우 효율적인 기법이다. 이러한 방법을 이용하여 혼성 신호 회로에 적용한 방법이 많이 연구되고 있다. 이 기법의 장점으로는 테스트 생성이 매우 쉽고 테스트 또한 칩의 동작 주파수에 의해 수행 가능하므로 테스트 소요시간이 적게 걸리며 테스트 응답의 비교를 위한 부수적인 테스트 장비가 필요하지 않다는 점이다. 테스트 복잡도의 증가에 따라 기하급수적으로 증가하는 테스트 비용 측면에서 살펴볼 때, 내장된 자체 테스트 기법은 그 적용에 따라 발생하는 먼

적증가 및 시간지연등과 같은 필연적인 오버헤드에도 불구하고 대부분의 많은 반도체 회사에서 칩 설계 시 광범위하게 실제 적용하고 있다. 이 방법을 효과적으로 적용하기 위해서는 시스템 설계 단계에서부터 하향식(Top-down) 방식에 의한 모듈단위의 회로구현 방법을 적용하여, 모듈단위의 자체 테스트 기법의 적용이 가능하도록 하여야 한다. BIST 방법은 하드웨어상의 채택할 경우 발생할 수도 있는 적지 않은 비용으로 인해 아직도 논의가 많은 부분이기도 하나 현재 가장 시간을 단축하면서 또한 신뢰성을 보장 할 수 있는 테스트 방법이므로 널리 연구되고 있다.

이러한 접근을 통한 테스트로서 이제까지 논의되어 연구한 방법으로 다음과 같은 것들이 있다. 우선 DSP에 기초를 둔 순수한 아날로그 테스트 접근 방법이 있는데 PC나 워크스테이션은 입력 패턴들을 발생시킬 수 있는 소프트웨어를 가지고 있어야 하고 테스트한 출력 데이터를 분석할 수 있어야 한다. 대부분의 테스트 할 때의 입력 패턴은 제공된 메모리에 의해 DAC를 거쳐 발생시킨다. 그러므로 DAC의 동작결과에 의존하여 CUT(Circuit Under Test)가 제한되게 된다. 마찬가지로 출력의 분석을 위해서 다시 ADC를 거쳐 메모리에 캡처되는 형태를 일반적으로 가지게 된다. 이러한 구조를 가지고 있을 때 입력에서 고주파나 출력의 엘리어싱(aliasing)을 제거하기 위해 적당한 대역 통과 필터를 쓰고 있다.

ADC를 포함하지 않는 방법으로서 여러 가지 연구되어 소개된 것을 살펴보면 먼저 SNR(Signal-to-noise ratio)을 주로 측정하는 전형적인 기술이 있다.^[2] 이는 역시 별도의 장비를 필요로 하고 하드웨어상의 오버헤드를 고려해야 한다. 이것을 바탕으로 변환(translation) BIST^[3]와 혼합(hybrid) BIST^[4]가 제안되었는데 다양한 회로들에 대한 광범위한 해결책을 제시해 주었다. 그러나 이 방법들은 신뢰성의 부족으로 인한 결과의 오류가 있을 수 있다. 다른 유용한 방법으로 제안된 것은 입력의 패턴에 화이트 노이즈(white noise)를 이용하여 테스트를 하는 방법이 있다.^[5] 이것은 노이즈의 값이 항상 무작위 패턴(random)으로 나온다는 것을 응용한 것이다. 이것 또한 패턴 생성 블록이 필요하다. 그러한 테스트 입력의 패턴 생성방법으로서 2차형(quadratic) 형태의 선형성을 가진 유사 펄스 패턴을 구현하는 방법도 있다.^[6] 펄스파 입력단의 노이즈로 인한 오차가 발생할 소지가 있으므로 블록 단위가 커질수록 오차의 범위가

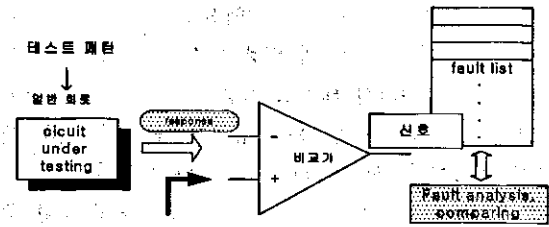
커질 수려가 있다. 이러한 방법 이외에 LFSR(Linear Feedback Shift Register)을 이용한 적합형(compatible) BIST가 제안되었다.^[7,8] LFSR을 응용한 이러한 방식은 바른 동작속도를 보장하고 적은 하드웨어 오버헤드를 가지나 다양한 고장 검출에 있어서 정확한 결과를 도출하는데 어려움이 있다. [9]에서는 동시 테스트로서 적분기를 응용하여 신호압축과 패턴을 발생시키는데 용이하게 하는 회로를 구성하였다. 그러나 변화하는 응답 값에 따른 적절치 못한 적분값은 엘리머싱 문제와 함께 발생할 여지가 있다. 고속의 동작을 위한 구조로 BIST를 구성한 방법이 [10]에서 제안되었는데 DC 테스트 입력과 전류 모드에 바탕을 두고 있다. 여기에서는 테스트 대상을 회로 안의 op-amp에 대한 고장 유무만을 가정하였다. 이밖에도 발진기(oscillation) BIST 방법^[11]이 있는데 발진기를 이용한 분석으로 결과를 분석함에 어려움이 따른다. 이러한 혼성 신호 회로에 대한 다양한 테스트 방법을 살펴볼 때 BIST를 가져감으로써 발생하는 장점을 최대한 살리고 단점을 최소화할 수 있는 방법을 구현하는 것이 절실히 필요하다는 것을 알 수 있다.

본 논문에서는 II장에서 새로운BIST에 대한 구조와 구성된 BIST요소에 대해 각각 알아보고 III장에서는 테스트 대상 회로에 대한 실험과 IV장에서의 다른 BIST 회로와의 비교를 통해 V장에서 결론을 내려보았다.

II. 새로운 BIST 구조

테스트를 접근하는 방법에 따라 나눌 수 있는데 그 형태별로 두 가지로 크게 분류할 수 있다. 하나는 동작에 기반(specification-based)을 둔 테스트 방법인 기능적(functional) 테스트와 회로의 고장을 기반(fault-based)으로 DOT(defect-oriented-test)방식의 유형인 구조적(structural) 테스트가 있다. 테스트 목적에 맞는 부합되는 방법으로 접근을 해야 효과적인 결과를 도출할 수 있을 것이다.

이 논문에서는 구조적인 테스트 접근 방법으로 대상 회로의 기능과 동작 조건등에 영향 받지 않는 새로운 BIST에 대해 제안하였다. 그림 1은 제안한 새로운 BIST구조를 나타낸 것이다. 새로운 BIST의 구조는 DC 전압 크기(voltage magnitude)와 전압 위상(voltage phase)의 비교에 초점을 두고 있다. 즉 입력으로 들어



기준 전압 & 기준 위상

그림 1. 새로운 혼성 신호 BIST
Fig. 1. New mixed-signal BIST.

가는 전압이 대상 회로를 통과한 후 출력값으로 나왔을 때 무고장 회로와 차이를 분석하는 방법이다. 이러한 방법이 유용한 것은 바로 BIST구조에 따른 실험에서 회로상의 고장의 유무에 따라 전압 크기와 위상에 있어서 무고장 회로의 값들과 차이를 나타내 그들 값을 조정된 적절한 비교기에 의해 분류해 낼 수 있기 때문이다. 그러므로 각 회로상에서 회로를 구성하는 소자들과 노드들을 고장이 있다고 가정하고 무고장 회로에서의 출력값의 비교에 의한 검출이 용이하게 나타낼 수 있다. 그림 1에서와 같이 여기서 기준값의 지정이 상당히 중요한 과정이 된다. 디지털 회로와는 달리 어느 정도의 허용오차를 갖는 혼성 신호 회로에서는 기준값의 설정에 있어 그 범위에 대한 고려가 필수적이라 하겠다.

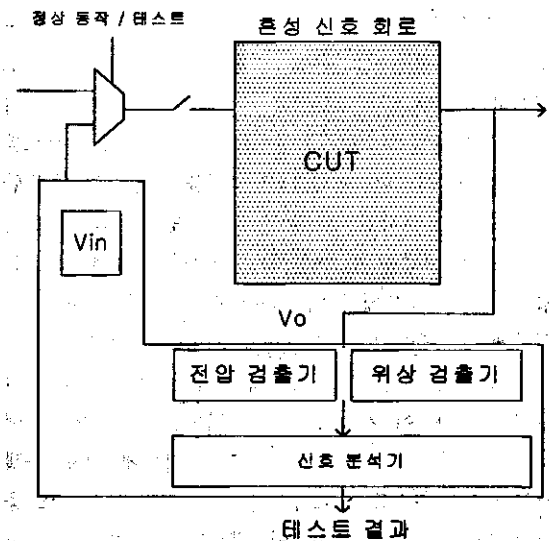


그림 2. 새로운 BIST의 전체적 구조
Fig. 2. A new BIST structure.

새로운 BIST에 대해 구체적인 구조를 그림 2에 나타내었다. 구성을 살펴보면 크게 테스트 패턴 블록이 있고 전압 검출기(voltage detector)와 위상 검출기(phase detector)로 나누어 볼 수 있다. 이러한 BIST구조는 회로를 구성하는 자체 시스템에서 빠른 테스트와 분석이 가능하다. 그러므로 고가의 혼성 신호 테스트 장비를 필요로 하지 않으며 효과적인 테스트를 수행할 수 있다.

각 구성요소를 블록별로 살펴보면 다음과 같다. 우선 그림 3에서 전압 검출기를 살펴보면 대상회로에 입력에 대한 출력값을 이 회로에서 검출하는 작업을 수행하게 된다. 즉 V_{ref} 의 상위값과 하위값을 정하고 그 범위에 포함이 되는 것과 포함되지 않는 것을 신호 분석기(signature analyzer)로 연결시켜 나타내게 되는 것이다. 여기서 중요한 것은 일정 범위의 기준값을 정함에 있어 사전에 시뮬레이션을 통한 작업이 선행되어야 한다. 출력의 전압값의 변화에 있어 허용 오차를 가정해 주어야 하기 때문이다. 여기서 최대값과 최소값의 설정에 있어서 이들 기준 전압은 V_{in} 에 2:1의 비를 갖는 저항의 연결로 구성이 가능하다.

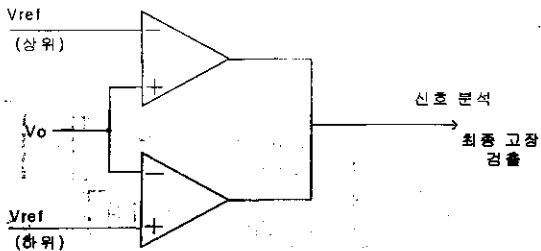


그림 3. 전압 검출기
Fig. 3. Voltage detector.

그림 4는 위상 검출기로서 전압 위상이 일정 범위를 벗어나면 검출가능하게 하는 회로이다. 여기서 pass/fail은 마지막 검출기의 출력을 통해 고장 여부를 판단해주는 전압이고 CUT phase는 CUT와 연결된 단자이며 기준 펄스는 비교할 수 있는 펄스값을 연결한 단자를 나타낸다. 또한 V 는 pass/fail을 하기 위한 신호 발생을 위한 전압(1.65V)을 유지시켜주고 $v1, v2$ 는 기준 전압을 제어하게 된다. 테스트의 수행은 CUT에서 출력값으로 들어오는 CUT phase는 비교값으로 설정된 기준 펄스와 비교하게 된다. 이때 두 값의 위상차가 같다면 검출하기 어려우나 CUT의 출력 신호의 위상이 기준 위상보다 먼저 앞설 경우 pass/fail 부분에서 high를 유지

하게 된다. 안정된 값을 위하여 버퍼를 사용하였으며 기준값의 정상 동작을 관찰하기 위한 $v1$ 과 $v2$ 단자를 추가하였다. 최종 출력값은 전압 검출기에서 나온 신호 값을 이용하여 동시에 고장의 유무 분석에 사용된다. 즉 전압 검출기에서의 고장이 검출되거나 위상 검출기에서의 고장이 검출된다면 고장이 판별됨으로써 최종 출력으로 나오게 된다. 이상과 같은 블록으로 구성되어진 BIST는 회로의 자체 검증이 가능하며 효과적인 테스트로 고장 검출이 가능하다.

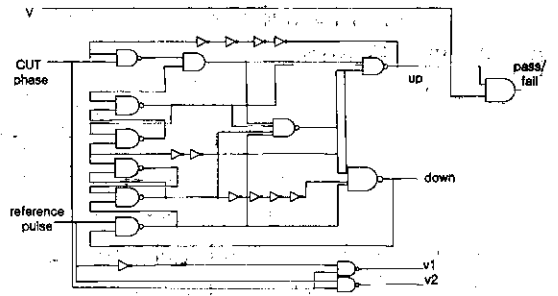


그림 4. 위상 검출기
Fig. 4. Phase detector.

III. 실험 결과

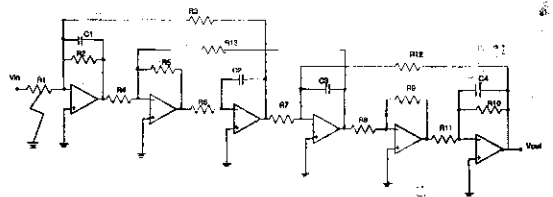


그림 5. Leapfrog 필터
Fig. 5. Leapfrog filter.

실험 대상 회로는 그림 5에 나타내었다. 이 회로는 저역 필터의 한 종류로서 차단 주파수(cutoff frequency -fc)가 1.4kHz인 Leapfrog 필터 회로이다. 이 회로는 전압과 위상특성이 잘 드러나 테스트회로로서 사용된다. 또한 다른 테스트 방법과의 비교를 용이하게 할 수 있으므로 테스트 대상 회로로 설정하였다. 이 회로의 모든 저항은 10kΩ이고 모든 캐패시터는 0.02F로 구성되어 있다. 고장 삽입은 각각의 저항을 단선과 단락으로 구분하고 또한 단일 고장과 두 개의 고장이 동시에 나타나는 경우를 포함하는 광범위한 고장들을 가정하였다. 기존의 테스트 방법에서의 간단한 고장으로만 나

타내지 못하는 단점을 보완하며 보다 신뢰성 있는 테스트 결과를 기대할 수 있는 것이다. 이러한 점을 고려해서 저항의 경우 단선 고장일 경우 해당 저항(R) 값을 $10^8\Omega$ 이라 가정하고 단락일 경우를 1Ω 이라고 설정하였다. 그림 5에서 보듯이 13개의 저항과 4개의 캐패시터가 있으므로 총 17개의 단선과 단락고장을 생각해 볼 수 있다. 이렇게 단일 고장만 고려할 때 대상회로의 전체적인 테스트 신뢰성을 충분히 보상하기 어렵다. 그래서 각각의 경우에 대해 복수 고장을 고려해 준다면 테스트의 신뢰성을 더욱 보장할 수 있다. 단일 고장과 각각의 경우 2개의 복수고장에 대해서 단선과 단락 고장을 고려하면 모두 190개의 고장 모델을 구성할 수 있는 것이다. Leapfrog 필터에서 나오는 출력 값에 대한 허용오차를 고려한다면 일정한 기준이 있어야 한다. 이러한 허용오차와 관련하여 혼성 신호 회로 테스트를 할 때 편차를 60정도로 가정하는 경우가 있다, 정상 동작을 함에 있어서 각 전압 크기의 변화가 60정도의 값을 가지게 되기 때문이다. 그래서 voltage값의 편차를 여기서 60라 놓으면 정상적인 출력값 4.51V에 해당하는 값은 4.46~4.54V가 된다. 또한 저항 값에서도 가정을 하면 +60~-60이 8.8k Ω ~11.2k Ω 가 되는 것이다. 정

상적인 실험 결과를 그림 6에서 나타내었다. 이것은 고장이 있는 다른 회로의 출력 값들도 동시에 나타낸 그림이다. 그림에서 살펴보면 입력으로 10V를 가했을 때 4.5V주위에 정상회로의 결과 파형과 함께 7개의 고장 회로의 결과가 집중되어 있음을 알 수 있다. 이것은 전압 검출기의 허용치 안에 포함되므로 전압 테스트만으로는 검출하는데 어렵다는 것을 보여주고 있다. 이것은 그림 7에서 전압 검출기를 거친 후의 결과를 보면 전압 테스트로써 많은 고장 회로를 검출함을 보여준다. 상위값과 하위값을 고려했을 때 포함되는 값과 포함되지 않은 값을 분리해 주는 것을 알 수 있으며 7개를 제외한 모든 고장을 검출 가능함을 나타낸다. 그림 7에서 살펴보면 회로상의 일부 R의 값의 단선과 단락이 무고장 회로에서의 결과와 겹쳐있거나 매우 근접해 있기 때문에 검출이 쉽지 않음을 알 수 있다. 이러한 전압 검출기만의 테스트를 보완하고자 위상 검출기의 이용이 필요하다. 그림8은 고장 회로들의 위상 검출기의 결과를 나타낸 그림이다. 여기서는 각 고장들이 모두 나타나 있는데 여기서 전압 검출기를 통해서 검출되지 않은 고장 회로의 전압 위상을 그림 9에 나타내었다. 이것은 위상 검출기를 통과한 후 비교기를 이용하여

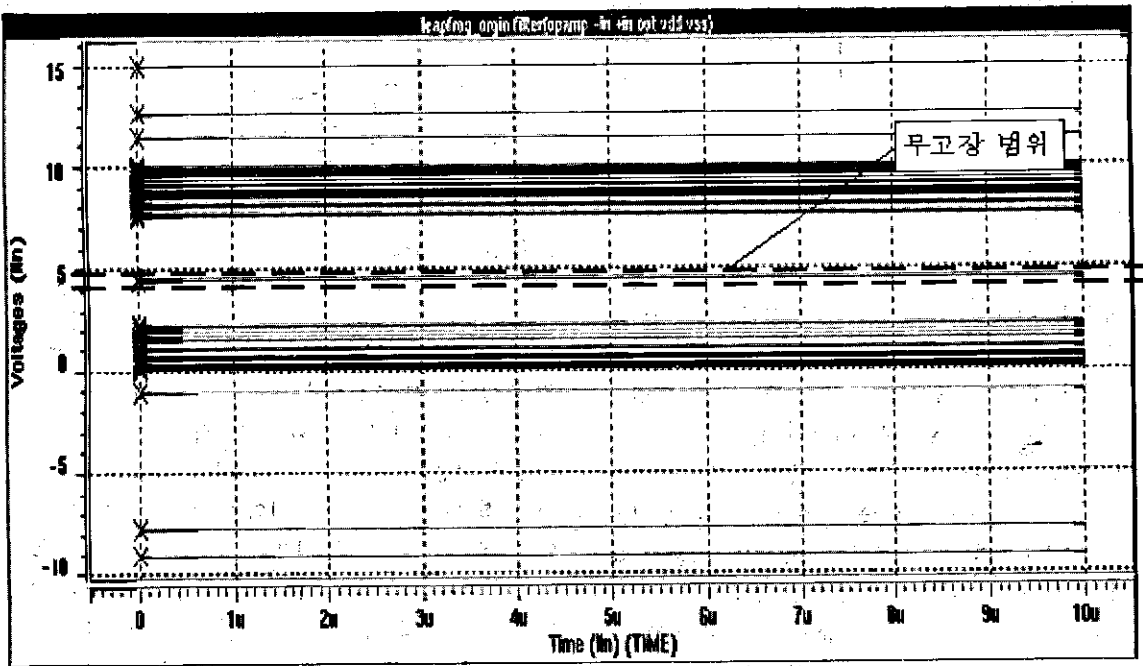


그림 6. 테스트 출력
Fig. 6. Test output.

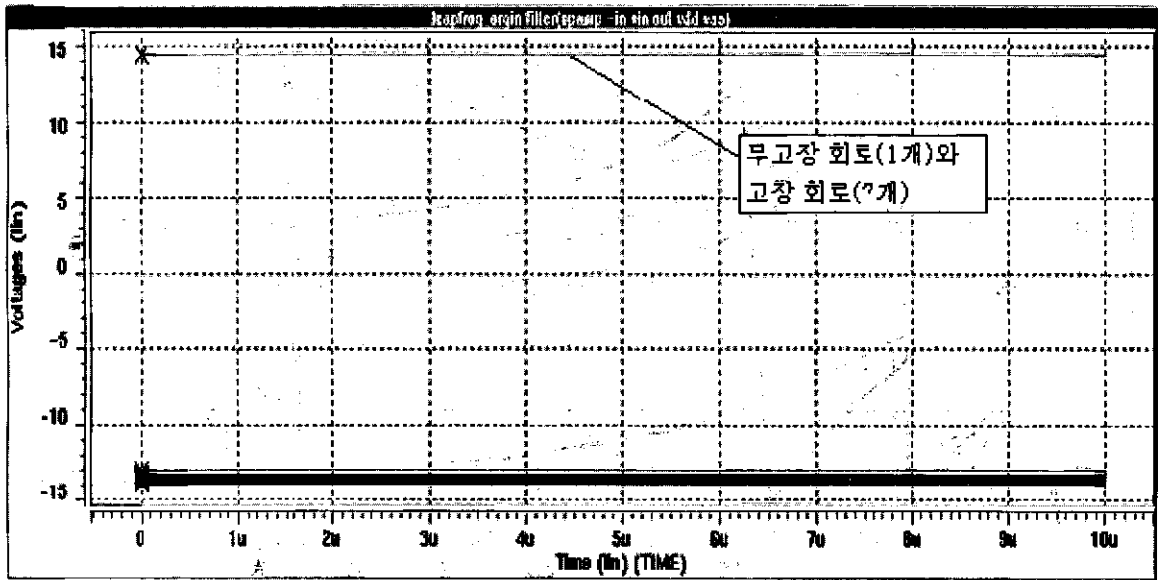


그림 7. 전압 검출기 출력
Fig. 7. Voltage detector output

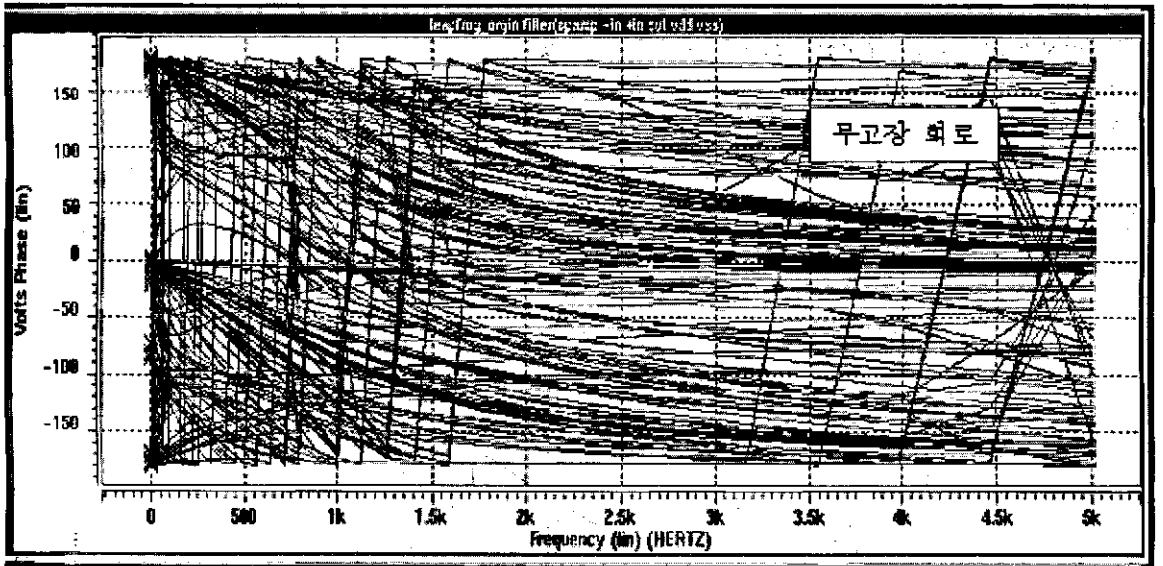


그림 8. 고장 모델에 대한 전압 위상
Fig. 8. Voltage phases of fault models.

분리할 수 있다. 이것을 그림 10에서 나타내었는데 전압 검출기만으로 검출할 수 없는 고장을 위상 검출기와 비교기를 사용함으로써 검출 가능함을 보여준다. 그림 10에서 보면 위상 검출기를 통과한 고장 회로들을 나타내고 있는데 간단한 고장 신호 분석기를 통해 HIGH(5V)에 나타난 것이 고장으로 판별된 것을 나타

낸다. 그리하여 전압 검출기를 통해 검출된 고장 회로와 위상 검출기를 통해 분석한 고장 회로와 함께 적용을 하게 되면 모든 고장 회로를 포함하게 되는 결과를 볼 수 있었다. 그림 10에서 2.3V에 나타나는 고장회로와 무고장 회로는 이미 전압 검출기를 통해 검출할 수 있다. 이러한 결과로 고장 회로등이 검출기에서 허용오

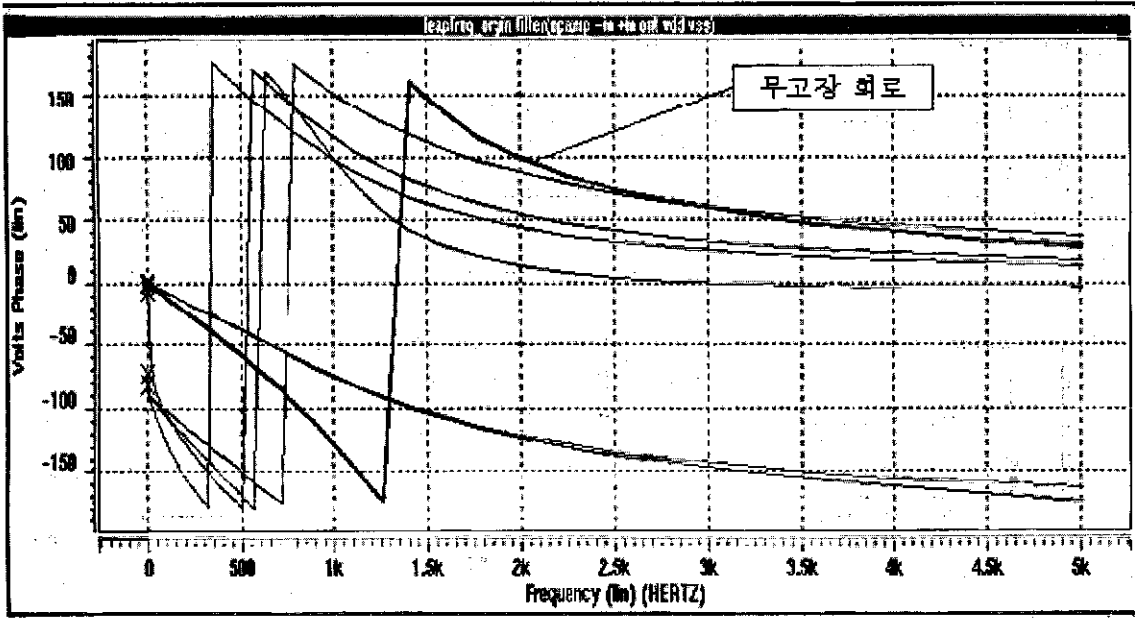


그림 9. 전압 검출기에서 검출되지 않는 고장의 전압 위상

Fig. 9. Voltage phases of undetected fault models using voltage detector.

차름 됨으로써 고장회로를 무고장 회로라고 결과가 나온 것은 위상 검출기로부터 검출이 가능함을 실험결과를 통해 알 수 있다. 따라서 이러한 두 가지의 검출기를 통한 동시 측정으로 고장 유무의 결과를 도출할 수 있는 것이다.

표 1에서는 각각의 테스트 결과를 고장별로 나타내

었다. 전압의 크기에 대한 테스트만으로 얻을 수 없는 완전한 테스트를 위상 테스트를 통한 방법으로 효과적인 결과를 얻을 수 있음을 보여주었다. 각각의 검출에 있어 전압 검출기를 통한 검출의 효과가 크지만 검출할 수 없는 고장에 대해서 위상 검출기의 보완적인 검출을 통하여 가능하다.

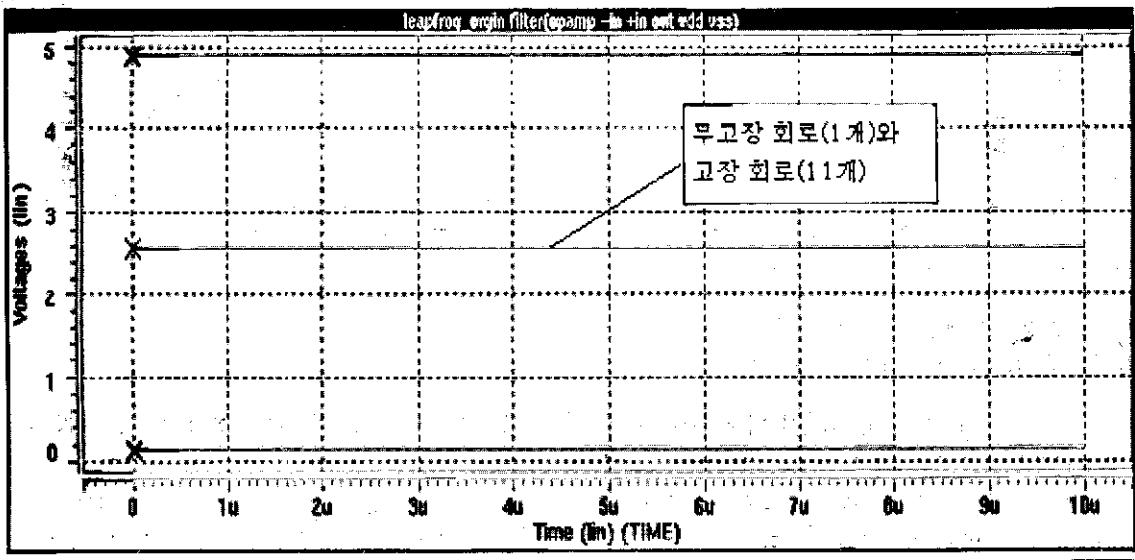


그림 10. 위상 검출기를 통과한 후의 출력

Fig. 10. Output of phase detector.

표 1. 새로운 방법을 이용한 실험 결과
Table 1. The experimental result of presented method.

고장 모델				전압 크기 테스트		전압 위상 테스트		전압 크기와 위상 테스트를 함께 적용한 경우	
소자	고장 유형	고장의 종류	고장의 수	검출 수	검출되지 않은 수	검출 수	검출되지 않은 수	검출 수	검출되지 않는 수
R	단일 고장	단선	13	12	1	9	4	13	0
		단락	13	11	2	7	6	13	0
	이중 고장	단선	78	74	4	71	7	78	0
		단락	78	78	0	76	2	78	0
C	단일 고장	단락	4	4	0	3	1	4	0
		단선	4	4	0	3	1	4	0
합계			190	175	15	169	21	190	0
고장 검출률				92.1 %		88.9 %		100 %	

IV. 성능 평가

앞에서의 실험 결과에서 살펴보듯이 새롭게 제안한 방법이 BIST의 특성을 살린 효과적인 테스트 수행을 가능하게 할 수 있다는 것을 알 수 있다. 다음 표 2에서 이전의 테스트방법과 비교를 해 보았다.

우선 고장 모델을 고려함에 있어서 각 방법을 살펴 보면 카운터 방법^[13]과 LFSR을 이용한 적합형 방법에서는 op-amp외부의 회로들에 대한 경우만을 가정하였다. 이와는 달리 AC/DC BIST에서는 op-amp내부의 트랜지스터에 대해서만 가정을 하였다. 특히 CMOS 회로에 있어서 각각의 드레인, 게이트 소스 사이에 있을 수 있는 단선과 단락에 대해 고장 모델을 정하였다. 구체적으로 고장 모델로 설정한 것을 보면 GDS(게이트-드레인 단락), GSS(게이트-소스 단선), DSS(드레인-소스 단락)등과 DOP(드레인-단선), SOP(소스-단선), GOP(게이트-단선)등의 트랜지스터들에 대하여 고장을 고려하였다. 이러한 CMOS내부의 고장 관계를 고려했다는 것은 회로의 세밀한 고장 분석과 검출이 가능하다는 것을 보여주었다. 그러나 이러한 설정에 있어 회로에 쓰이는 CMOS가 검증되지 않고 사용되는 경우는 회로의 제작 자체에 문제가 있으므로 복잡해지는 현재의 시스템 회로들에 있어서는 채용되기 어려울 수 있다. 즉 이러한 테스트는 고가의 작은 회로에서의 정상동작을 위한 신뢰도를 높이는 테스트 방법에 적당하

다고 할 수 있다. 이러한 부분적인 테스트를 개선하고자 새롭게 제안된 BIST는 회로내에서 일어날 수 있는 모든 R의 값과 C의 단락과 단선의 고장을 가정하여 고장 모델에 포함시켰으며 단일 고장외에 회로상에서 일어날 수 있는 소자들간의 이중 고장도 고려함으로써 테스트의 신뢰성을 높였다. 테스트 입력측면에서 보면 [7]을 제외하고서 정현파나 변형된 형태의 테스트 입력을 하였다. [7]에서의 LFSR을 이용한 구형파의 사용은 테스트 입력에 있어 빠른 동작을 수행할 수 있으나 정확한 측정이 어렵고 결과의 오류를 가져올 확률이 많다. 고장 검출률에 있어서 [13]은 카운터와 비교기와의 적절한 구성을 통한 테스트 접근을 하여 비교적 정확한 결과를 제시하였다. 그러나 실험에서 단일 고장만을 고려한 실험을 위주로 하였기 때문에 다양한 고장에 대한부분에 있어서 테스트의 신뢰성이 결여되었다. 그리고 일부 선택된 고장 모델만을 위주로 실험을 했으며 지금 제시한 새로운 BIST와 비교해 볼 때 비교적 하드웨어 오버헤드도 부담으로 작용한다. 즉 카운터를 구성하는 회로의 구성과 시분할(time-division)을 하는 회로의 구현, 관측 용이를 위한 점점의 삽입등이 적지 않은 공간을 소비할 것으로 보인다. [7]에서는 고장 검출률에 있어서 단일 고장에 대해서는 만족할 만한 결과를 보여준다. 이 방법에서는 혼합 신호 회로에 대한 테스트를 수행시 대상 회로를 제외한 다른 모든 회로들을 디지털화하는 것을 목적으로 접근하였다. 이러한 방법에 따르면 하드웨어 오버헤드측면에서 있어서도 다

표 2. 이전의 연구와의 비교

Table 2. Comparison with previous work.

	[13]	[7]	[10]	제안된 BIST
고장 위치	(OP-AMP 외부) R1~R13 C1~C4	(OP-AMP 외부) R1~R13 C1~C4	(OP-AMP 내부) 각각의 트랜지스터	(OP-AMP 외부) R1~R13 C1~C4
고장 모델	모든 단선 선택적 단락 C단락	단일 고장	GDS, GSS, DSS DOP, SOP, GOP	모든 소자 복수 고장
테스트 입력 패턴	정현파	구형파 입력	10 kHz AC 400mV와 Vdc 테스트	DC 10V
고장 검출율	단선 고장: 100% 선택된 단락 고장: 100	단선 고장: 100 % 단락 : 100 %	단선, 단락 고장 : 96.8%(평균)	단선: 100% 단락: 100%

른 BIST 와 비교할 때도 우수함을 나타내었기는 하나 테스트에 있어서 디지털적인 요소로 접근하였기 때문에 허용오차의 범위에 있어 다른 테스트방법보다 크기 때문에 정확한 정상동작의 범위에 대한 측정이 어렵고 할 때 아직 보완해야 할 점이 있어서 많이 연구되고 있는 방법이다. 이에 비해 새로운 BIST방법은 허용오차의 범위를 비교기로서 범위 수정이 용이한 편이며 보다 세밀한 측정이 가능하며 고장 검출률에 있어서 전압 검출기와 위상 검출기의 테스트로 단일 고장과 복수 고장에 있어 100%의 고장 검출이 가능함을 보여 준다.

이러한 비교와 분석을 살펴볼 때 기존의 제시된 혼성 신호 회로에 대한 BIST를 사용할 때에 발생할 수 있는 문제점의 해결에 있어서 보다 효과적인 자체고장 검출능력을 가지고 있음을 알 수 있다.

V. 결 론

본 논문에서는 전압 검출기와 위상 검출기를 이용한 새로운 BIST를 제안하였다. 복잡해져가는 혼성 회로를 테스트하는 방법에 있어서 BIST를 이용하는 방법 또한 여러 가지 면에서 고려해야 한다. 제시한 BIST는 무고장 회로와 고장 회로의 전압과 위상의 차이를 검출하는 회로를 구현함으로써 비교적 작은 하드웨어 오버헤드로 가져갈 수 있다. 이러한 BIST구조는 이전의 테스트 방법에서 보다 효과적이고 실험을 통하여 이러한 테스트방법이 향상된 고장 검출 능력이 있음을 알 수

있다. 특히 고장 회로 모델링에 있어 단일 고장 및 복수 고장에 대한 고려를 해 줌으로써 보다 정확한 결과를 도출할 수 있다. 새로운 BIST구조에 있어서 비교기를 응용한 제안된 전압 검출기와 위상 검출기를 이용한 테스트는 혼합 혼성 회로의 테스트 접근에 용이함을 알 수 있다. 이러한 전압 검출기와 위상 검출기의 테스트는 기존의 여러 BIST방법의 단점들을 극복하였으며 효율적인 테스트를 할 수 있다.

참 고 문 헌

- [1] I.H.S. Hassan, K. Arabi and B. Kaminska, "Testing digital to analog converters based on oscillation-test strategy using sigma-delta modulation," *Proc. of International Conference on Computer Design*, pp. 40~46, 1998.
- [2] M. F. Toner and G. W. Robert, "A BIST scheme for an SNR gain tracking and frequency response testing of a sigma-delta ADC," *IEEE Trans. on Circuits and Systems*, Vol. 42, pp. 1~15, 1995.
- [3] M. Slamani and B. Kaminska, "T-BIST: A built-in self-test for analog circuits based on parameter translation," *Proc. of the Second Asian Test Symp.* pp. 172~177, 1993.
- [4] M. J. Ohletz, "Hybrid Built-in Self-test (HBIST) for mixed analog/digital integrated

- circuits," *Proc. of IEEE European Test Conference*, pp. 307~316, 1991.
- [5] C. P. Panand K. T. Cheng, "Pseudorandom testing for mixed-signal circuits," *IEEE Trans. on, Computer-Aided Design of Integrated Circuits and Systems*, pp. 1173~1185, 1997.
- [6] S. J. Tsai, "Test Vector Generation for linear Analog Devices", *Proc. of International Test Conference*, pp. 592, 1991.
- [7] P. N. Variyam, A. Chatterjee and N. Nagi, "Low-cost and efficient digital-compatible BIST for analog circuits using pulse response sampling," *Proc. of VLSI Test Symp.* pp. 261~266, 1997.
- [8] P. N. Variyam and A. Chatterjee, "A digital-compatible BIST for analog using transient response sampling," *Proc. of IEEE Design & Test of Computers*, pp. 106~115, 3, July-Sept. 2000.
- [9] M. Renovell, F. Azais and Y. Bertrand, "On-chip analog output response compaction," *Proc. of European Design and Test Conference*. pp. 568~572, 1997.
- [10] I. R. Velasco-Medina and M. Nicolaidis, "AC/DC BIST for testing analog circuits," *Proc. of International Test Conference*, pp. 223~227, 1999.
- [11] K. Arabi and B. Kaminska, "Oscillation built-in self test(OBIST) scheme for functional and structural testing of analog and mixed-signal integrated circuits," *Proc. of International Test Conference*, pp. 786~795, 1997.
- [12] L. S. Hurst, "VLSI testing digital and mixed analogue/digital technique," *The Institution of Electrical Engineers*, pp. 381~425, 1998.
- [13] J. Roh and J. A. Abraham, "A mixed-signal BIST scheme with time-division multiplexing (TDM) comparator and counters," *Proc. of VLSI Design Conference*, pp. 572~577, 2000.

저 자 소 개



方金煥(正會員)

1974년 3월 20일 생. 2000년 2월 성균관대 전기전자컴퓨터공학과 졸업.
현재 : 2002년 연대 전기전자공학과 석사과정. <주관심분야: CAD 및 VLSI 설계, Mixed-signal circuit 테스트>



姜成昊(正會員)

1963년 4월 13일 생. 1986년 2월 서울대 공대 제어계측공학과 졸업.
1988년 5월 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(석사). 1992년 5월 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(공학박). 미국 Schlumberger 연구원. Motorola 선임 연구원. 현재 연대 공과대학 전기전자공학과 부교수