

내장된 자체 테스트 기법을 이용한 새로운 다중 클럭 회로 테스트 방법론

(A new BIST methodology for multi-clock system)

徐一碩*, 康容碩**, 姜成昊***

(Il-Suk Seo, Yong-Suk Kang, and Sungho Kang)

요 약

SOC와 같은 VLSI 집적 회로는 기능적 이유 등으로 인해 다중 클럭의 설계 기법을 필요로 한다. 테스트 시 클럭 오더링과 같은 문제의 효과적이지 못한 대응으로 인해 클럭 도메인간의 전이에서 많은 오류들이 발생한다. 본 논문은 다중 클럭 시스템에서의 새로운 자체 테스트 기법을 제시한다. 클럭 스큐의 문제는 다중 캡처의 동작으로 제거하며, 다른 클럭 도메인간 혹은 같은 클럭 도메인간의 테스트 모두를 동작속도에서 가능하게 한다.

Abstract

VLSI intergrated circuits like SOC(system on chip) often require a multi-clock design style for functional or performance reasons. The problems of the clock domain transition due to clock skew and clock ordering within a test cycle may result in wrong results. This paper describes a new BIST(Built-in Self Test) architecture for multi-clock systems. In the new scheme, a clock skew is eliminated by a multi-capture. Therefore, it is possible to perform at-speed test for both clock inter-domain and clock intra-domain.

I. 서 론

최근 복잡한 주문형 반도체(ASIC)나 시스템온칩(SOC: System On Chip)과 같은 고집적회로는 성능 향

상이나 기능적 이유로 인해 다중 클럭을 사용한다. 특히 시스템온칩은 한 칩에 디지털 회로 및 아날로그 회로 등이 집적되어서 다른 신호와 작용하는 회로나 주변 장치에서 종종 복잡한 클럭 구조와 클럭 영역 전이가 필요한 경우가 있는데 이것은 구조화된 테스트 프로그램의 생성을 복잡하게 한다. 그 결과로 테스트 데이터의 증가로 인해 테스트 시간이 길어지게 되고 또한 다중 클럭을 사용하기 때문에 클럭 스큐의 영향을 받지 않는 테스트 프로그램의 생성과 그것들을 검증하려는 노력이 더욱 필요하게 되었다.^[1~3] 이에 내장된 자체 테스트 구조에서 다중 클럭을 사용하는 회로를 테스트하기 위한 여러 방법이 제안되었다.

* 正會員, 三星電子 시스템 LSI 事業部 SOC 研究所 (SOC Technology TE Group, System LSI Division Samsung Electronics co., LTD.)

** 正會員, LG 電子 電子技術院 시스템 IC 센터 (System IC Division, SIC R&D Center, LG Electronics Inc.)

*** 正會員, 延世大學校 電氣電子工學部 (Dept. of Electrical Eng., Yonsei Univ.)

※ 이 연구는 2000년도 한국과학재단 연구비 지원에 의한 결과임.(과제번호 : 2000-1-30200-002-3).

接受日字:2002年3月22日, 수정완료일:2002年6月20日

기존의 다중 클럭에 대한 내장된 자체 테스트 기법에 대한 연구는 크게 단일 주사 경로에 대한 내장된 자체 테스트 구조^[4]와 다중 주사 경로에 대한 내장된 자체 테스트 구조^[5,6]에 대한 연구가 있다. 우선 단일 주사 경

로에 대한 내장된 자체 테스트 기법^[4]은 단일 주사 경로에서 다른 클락으로 구동되는 각 블록의 주사 경로를 멀티플렉서로 결합하는 방법을 사용하여 단일 주사 경로에서 다중 클락으로 구동되는 회로를 테스트 할 수 있는 기법이다. [5]에서 제안한 방법은 다중 클락을 사용하는 대신에 가장 빠른 동작 주파수를 가지는 단일 마스터 클락을 사용하여 새로운 시스템을 설계하는 방법을 제안하였고, [6]에서는 제어 가능한 캡처 윈도우를 만들어 각각의 클락으로 작동되는 주사 경로에서 다중 캡처를 할 수 있는 구조를 제안하였다. 본 논문에서는 다중 주사 경로를 사용한 다중 클락 회로의 내장된 자체 테스트 기법^[6]에서 한 단계 나아간 즉, 다중 클락이 서로 약수 관계가 아닌 경우에도 테스트 할 수 있는 내장된 자체 테스트 구조에 대해 논의한다. 본 논문의 구성은 2장은 내장된 자체 테스트 구조 및 다중 클락 테스트의 문제점에 대해 기술하였고, 3장은 다중 클락 회로를 위한 내장된 자체 테스트 기법에 대해 기존에 제안되었던 기법과 새로 제안하는 기법을 다루고, 4장은 새로 제안하는 내장된 자체 테스트 기법을 실제로 설계 구현한 결과 등으로 구성되었다.

II. 기존의 다중 클락 회로의 내장된 자체 테스트 기법

[4]에서 제안한 기본 주사 경로 블록은 선입선출 특성을 가지고 있기 때문에 다중 클락 주사 경로에도 적용할 수 있다. 기존 주파수의 M배, N배, K배로 구동되는 다중 클락 주사 경로를 가지고 있고 각각의 M, N, K 모듈이 X, Y, Z 개의 플립플롭의 수로 구성되었다면 주사 경로에 테스트 데이터를 적재하거나 테스트 응답을 출력하는데 X+Y+Z 개의 사이클 수가 필요하다. 즉, 회로의 복잡도가 증가하여 주사 경로가 길어질수록 테스트 시간은 증가하게 된다.

[6]은 STUMP 구조를 기반으로 한 다중 클락 내장된 자체 테스트 구조를 제안하였다. 다중 클락으로 동작되는 회로를 테스트하기 위한 다중 주사 경로를 가진 내장된 자체 테스트 구조에서 주사 경로에 테스트 데이터를 적재하는 시간은 동작 속도 테스트에 영향을 주지 않으므로 다른 클락에 의해 각기 동작되는 주사 경로에 테스트 데이터의 적재는 기존 클락보다 빠른 클락은 클락 여제로 기존 클락보다 느린 클락은 클락 멀티플렉싱으로 한 시점에 끝나도록 조정했다. 그림 1

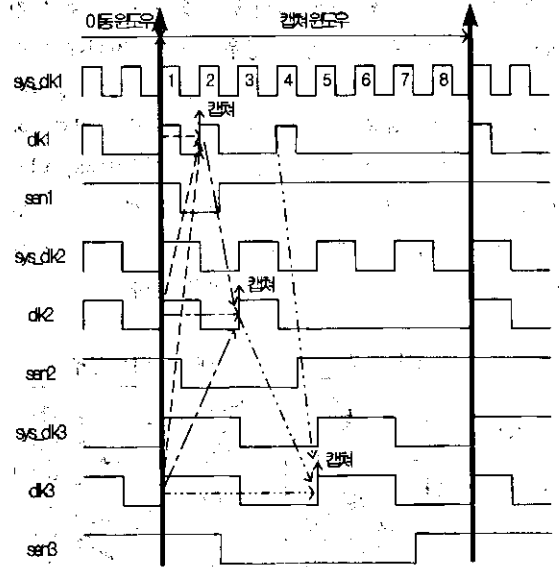


그림 1. 기존의 내장된 자체 테스트 구조[5]의 타이밍
Fig. 1. The timing diagram of the existing BIST structure.

은 테스트 동작이 이동 윈도우와 조정 가능한 캡처 윈도우로 분할된 타이밍 그림을 나타내었다. 이동 윈도우는 주사 경로에 테스트 데이터를 적재하는데 필요한 이동 동작으로 구성된다. 이들 이동 동작은 세 개의 클락중의 하나로 구동되거나 세 개 클락의 약수인 클락으로 구동된다. 이동 동작의 클락은 자유롭게 선택할 수 있으나 빠른 주파수를 가지는 클락을 선택하면 주사 경로를 설계하기 힘들고, 느린 주파수를 가지는 클락을 선택하면 테스트 시간이 증가하게 된다.

캡처 윈도우는 다른 클락 영역에서의 클락 동작으로 이루어진다. 각 영역에서 정상 클락으로 한 주기동안 클락이 발생한 후 캡처 동작이 이루어진다.

III. 다중 클락 회로의 내장된 자체 테스트 구조의 테스트 방법론

다중 클락 회로를 테스트하기 위한 내장된 자체 테스트 구조를 사용한 방법은 기존의 자체 테스트 구조를 사용한 방법과 비슷하지만 회로가 여러 클락으로 구동되므로 클락 스쿠로 인한 오류를 고려해야 한다. 본 논문에서는 그림 2와 같이 다중 클락 회로에 주사 경로를 연결할 때 각각의 클락 영역별로 주사 경로를 따로 설정하는 다중 주사 경로를 사용한다. 이것은 각

각의 주사 경로에서 같은 클럭을 사용하여 한 주사 경로에 다중 클럭을 사용했을 경우의 클럭 전이에 의한 오류를 방지한다. 각 주사 경로의 저장 소자의 동작은 이동 윈도우와 캡처 윈도우로 구분한다. 이동 윈도우에서는 각각의 주사경로에 테스트 데이터의 적재와 테스트 응답 값을 출력 값에 보내는 동작을 하고 캡처 윈도우에서는 적재된 테스트 데이터를 테스트하는 회로에 가한 후 그 응답 값을 받는 동작을 한다.

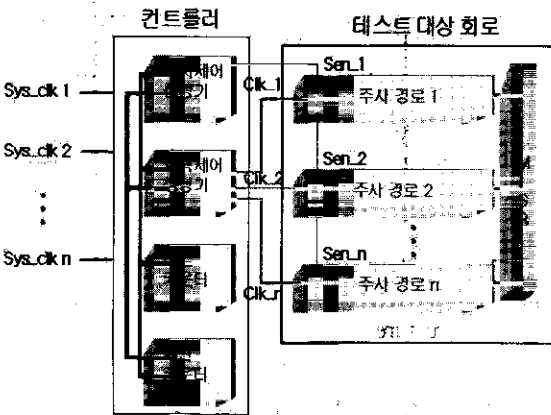


그림 2. 제안된 내장된 자체 테스트 구조의 구성도
Fig. 2. The proposed BISTstructure.

주사 경로의 캡처 동작을 결정하기 위해 각각의 클럭에 대해 미리 캡처 동작의 순서를 정해야 한다. 보편적으로 가장 빠른 주파수의 클럭 순으로 정한다. 우선 다중 클럭 중의 어떤 한 클럭을 기준으로 선택하면 그 기준 클럭으로 구동되는 주사 경로를 제외한 다른 주사 경로에서는 클럭 억제나 클럭 멀티플렉싱으로 이동 윈도우가 한 시점에 같이 끝나도록 조정해야 한다. 클럭 억제나 클럭 멀티플렉싱을 하기 위해서는 클럭 제어 신호를 생성하여 각각의 다중 클럭을 조정한다. 또한 캡처 윈도우에서의 캡처 동작을 결정하기 위한 주사 제어 신호도 생성해야 한다. 그러나 실제 다중 캡처의 동작은 클럭 영역간의 클럭 스큐의 영향을 받지 않고 한 클럭 영역에서의 다중 주파수를 테스트하기 위해 주사 제어 신호와 다른 주사 경로에서의 신호를 받아 결정한다.

[6]에서 제안한 방법은 그림 1에 보이는 것처럼 캡처 동작의 결정은 가장 빨리 캡처를 하는 주사 경로의 캡처 동작은 이전에 다른 주사 경로에서 캡처 동작이 없으므로 자기의 캡처 윈도우의 시작 클럭과 다른 주사

경로들에서의 캡처 윈도우의 시작 클럭에 의해 캡처 동작을 한다. 두 번째로 캡처를 하는 주사 경로의 캡처 동작은 바로 전에 다른 주사 경로에서 일어난 캡처 신호와 자기의 캡처 윈도우의 시작 클럭, 그리고 그 외의 주사 경로에서의 캡처 윈도우의 시작 클럭으로 동작된다. 주의할 점은 세 번째로 캡처를 하는 주사 경로인데 두 번째의 주사 경로에서의 캡처 신호, 아직 캡처 동작을 하지 않은 주사 경로에서의 캡처 윈도우의 시작 클럭, 첫 번째로 캡처 동작을 한 주사 경로에서 세 번째로 캡처 동작을 하는 주사 경로의 캡처 동작에 신호를 주기 위해 더미(dummy) 클럭이 필요하다. 이것은 캡처 동작이 끝난 주사 경로는 다른 주사 경로에 캡처 동작이 끝났음을 더미 클럭으로 알린다는 것이다. 그러나 클럭 수가 많으면 많을수록 더미 클럭이 계속 증가하게 되고 두 번째, 세 번째 주사 경로로 확장된다. 따라서 본 논문에서 제안하는 방법은 주사 경로의 캡처 동작은 바로 전의 캡처 신호와 자신의 캡처 윈도우의 시작 클럭으로 결정하는 것이다. 이것은 주사 경로의 캡처 동작 순서를 미리 결정함으로써 바로 앞에 일어난 주사 경로의 캡처 동작과 자신의 캡처 윈도우의 시작 클럭으로만 결정해도 클럭 스큐의 영향을 받지 않고 다중 주파수를 테스트하기 위한 본래의 목적에 부합할 수 있다.

1. 다중 클럭이 서로 약수인 경우

다중 클럭이 서로 약수인 경우는 다중 클럭의 주파수가 $F_1, F_2, F_3, \dots, F_n$ 인 경우에 가장 느린 주파수의 클럭이 나머지 클럭을 공약수로 갖는 경우이다. 이 경우에도 다중 클럭의 최소공배수를 구한다. 가장 느린 주파수의 클럭이 나머지 클럭을 포함하고 있기 때문에 캡처 윈도우의 시작 시점과 종료 시점은 가장 느린 주파수의 클럭에 일치시키면 된다.

그림 3은 기존에 제안된 기법^[6]과 같은 결과를 나타낸다. 같이 다중 클럭이 $F_1, F_2=F_1/2, F_3=F_1/4$ 인 다중 클럭으로 구성되면 가장 느린 주파수를 갖는 클럭은 sys_clk3 이고 나머지 sys_clk1 과 sys_clk2 를 공약수로 갖는다. 따라서 캡처 윈도우의 시작 시점과 종료 시점은 단지 sys_clk3 의 주기에 맞추어 정한다. 캡처 동작의 순서는 가장 빠른 주파수의 클럭부터 시작하여 가장 느린 주파수의 클럭으로 끝난다. 여기서도 앞서와 마찬가지로 기준 클럭을 중간 클럭으로 하였다. 따라서 다중 클럭이 서로 약수 관계일 때는 가장 느린 클럭의

두 주기가 캡처 윈도우의 종료시점이므로 캡처 윈도우에서 가장 느린 클락은 억제되지 않았다. 그러나 서로 약수 관계가 아닌 경우에는 가장 느린 클락의 두 주기에 끝나지 않으므로 가장 느린 클락의 캡처가 끝난 후에도 종료 시점 즉 다중 클락이 같은 시점에 상향 천이할 때까지 캡처 윈도우가 지속되어야 한다.

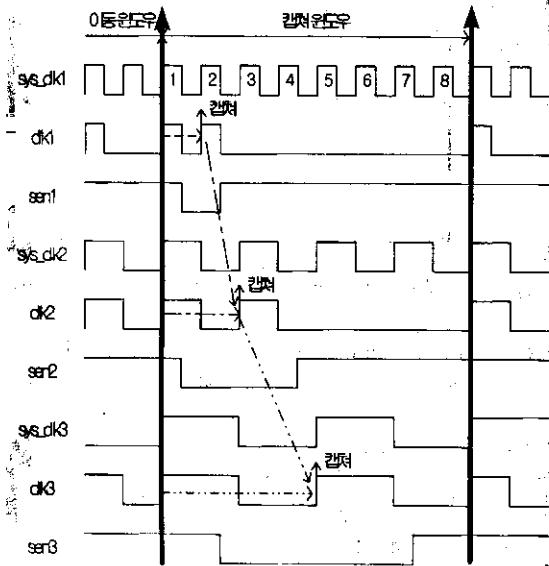


그림 3. 서로 약수 관계인 다중 클락 회로의 내장된 자체 테스트

Fig. 3. The multi-clock test for clocks whose clock-cycles are all dividers of the longer ones.

2. 다중 클락이 서로 약수가 아닌 경우

[정리] 다중 클락의 주기가 서로 약수 관계가 아닌 경우에는 각 클락 주기의 최소공배수를 캡처윈도우의 크기로 한다.

[증명] 다중 클락의 주파수가 서로 약수의 관계이든 아니든, 모든 클락의 상향 천이가 동시에 발생하는 순간, 캡처 윈도우가 시작하고, 모든 클락의 상향 천이가 동시에 발생하는 다음 순간에는 캡처 윈도우가 끝나는 것이므로, 약수의 관계인 경우에는 가장 느린 클락의 두 주기가 캡처 윈도우의 크기가 되고, 약수의 관계가 아닌 경우에는 다중 클락 주기의 최소공배수가 캡처 윈도우의 크기가 되는 것이다.

다중 클락이 서로 약수가 아닌 경우는 다중 클락이 $F_1, F_2, F_3, \dots, F_n$ 인 경우에 가장 느린 주파수의 클락이

다른 나머지 주파수의 클락을 공약수로 갖지 않는 경우이다. 이 경우에는 캡처 윈도우의 시작 시점과 종료 시점은 가장 느린 주파수의 클락에 일치시키는 것이 아니라 각 클락의 주파수의 가장 빠른 클락의 주파수를 기준으로 최소 공배수를 구하여 캡처 윈도우를 일치시켜야 한다. 다중 클락 회로의 내장된 자체 테스트 구조의 제어 신호는 가장 빠른 클락에 동기 시켜 생성한다. 다중 클락이 서로 약수 관계가 아닌 경우에 대해서는 그림 5는 앞 절에서의 방법대로 PLL(Phase Locked Loop)에서 생성된 sys_clk1, sys_clk2, sys_clk3는 동작 속도 테스트를 위한 내장된 자체 테스트 제어부의 클락 제어 신호를 통해 clk1, clk2, clk3로 각 주사 경로에 들어간다. 그러나 여기서는 sys_clk2의 주파수는 sys_clk1의 3분의 1이고 sys_clk3의 주파수는 sys_clk1의 4분의 1이다. 즉, 서로 약수 관계가 아닌 $F_1, F_2=F_1/3, F_3=F_1/4$ 인 다중 클락으로 구성되면 앞에서 언급한 서로 약수인 관계일 때의 타이밍 그림을 비교해 보면 이동 윈도우에서의 클락 억제나 클락 멀티플렉싱은 기존의 게이트나 멀티플렉서를 사용하는 방법으로 가능하나 캡처 윈도우의 시작 시점과 종료 시점을 결정하기 위한 방법이 달라야 함을 알 수 있다.

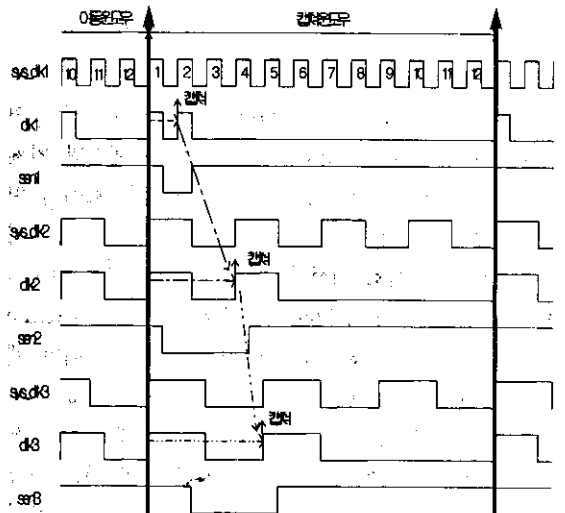


그림 4. 서로 약수 관계가 아닌 다중 클락 회로의 내장된 자체 테스트

Fig. 4. The multi-clock test for clocks whose clock-cycles are not all dividers of the other ones.

서로 약수 관계가 아니기 때문에 캡처 윈도우의 시작 시점과 종료 시점을 각 다중 클락이 동시에 상향

천이하는 시점에 일치시키려면 다중 클럭 주파수의 최소 공배수만큼의 클럭으로 결정하여야 한다. 그림 4와 같이 캡처 윈도우는 이동 윈도우에서 가장 빠른 클럭의 12개의 펄스가 지난 후에 캡처 윈도우가 시작되고 캡처 윈도우가 시작한 후에 가장 빠른 클럭의 12개의 펄스가 지나야 캡처 윈도우가 종료하게 된다. 즉, 다중 클럭이 서로 약수인 관계인 경우에는 캡처 윈도우의 시간은 가장 느린 클럭의 두 주기동안이었으나 서로 약수 관계가 아닌 경우는 각 클럭 주파수의 최소 공배수의 시간이 필요하다.

본 논문에서 제안한 내장된 자체 테스트 구조의 컨트롤러는 캡처 신호의 결정을 주사 경로의 캡처 윈도우의 시작 신호와 다른 주사 경로에서 바로 전에 행해진 캡처 신호로 결정한다. 예를 들어 그림 4에서 주사 경로 1은 이전에 행해진 캡처가 없기 때문에 자신의 캡처 윈도우의 시작 신호로, 주사 경로 2는 주사 경로 1의 캡처 신호와 자신의 캡처 윈도우의 시작 신호에 의해 캡처가 행해진다. 따라서 내장된 자체 테스트 컨트롤러의 하드웨어 오버헤드를 줄이면서 클럭 스쿠의 영향을 받지 않으면서 각 클럭 영역에서의 다중 주파수를 테스트 할 수 있다.

IV. 결 과

이 장에서는 앞장에서 논의한 제어 가능한 캡처 윈도우를 이용한 다중 캡처를 할 수 있는 내장된 자체 테스트 구조의 컨트롤러를 간단히 직접 시뮬레이션 및 설계하였다. 컨트롤러의 구성은 주사 제어 신호 생성기와 클럭 제어 신호 생성기, 비트 카운터, 패턴 카운터 등으로 구성하였다. 클럭의 주파수의 크기는 $sys_clk1 > sys_clk2 > sys_clk3$ 순으로 구성되고 비트 카운터와 패턴 카운터는 가장 빠른 주파수를 가지는 sys_clk1 으로 구동된다. 클럭 제어 신호 생성기와 주사 제어 신호 생성기는 비트 카운터에 의해 작동된다. 그림 5는 다중 클럭이 서로 약수일 때의 시뮬레이션이다. b는 비트카운터, p는 패턴카운터를 표시하며 세 클럭 중 가장 빠른 sys_clk1 으로 구동된다. 앞 절에 있는 그림 3과 같은 모양의 파형이 출력됨을 알 수 있다.

그림 6은 내장된 자체 테스트 구조의 컨트롤러를 Verilog HDL로 설계한 것을 Synopsys로 합성 및 최적화한 회로이다. 패턴 카운터와 비트 카운터는 모듈

(module)로 구현되어 그림에는 굵은 실선의 사각형으로 표시되었다. 그러나 전체적으로 다중 클럭을 위한 내장된 자체 테스트 구조의 컨트롤러는 간단한 회로로 구현됨을 알 수 있다.

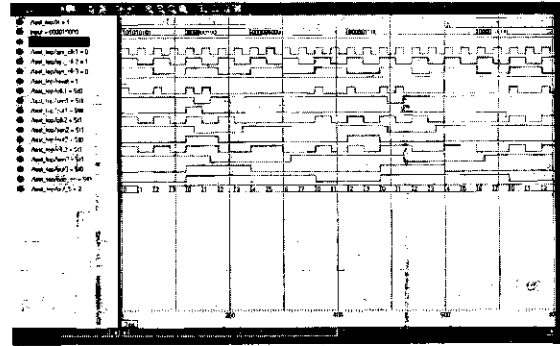


그림 5. 내장된 자체 테스트 구조의 시뮬레이션(약수인 경우)

Fig. 5. BIST simulation (in case that all are dividers of the longer ones).

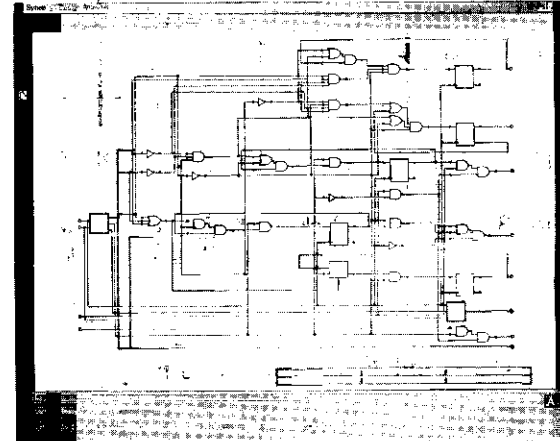


그림 6. 다중 클럭 회로 내장된 자체 테스트 컨트롤러 (약수인 경우)

Fig. 6. BIST controller for multi-clock circuit (in case that all are dividers of the longer ones).

그림 7은 다중 클럭이 서로 약수 관계가 아닌 경우의 시뮬레이션 파형이다. 각 클럭의 주파수의 관계는 $F1, F2=F1/3, F3=F1/4$ 이다. 그림 4에 나타난 것과 같은 파형이나 다른 점은 캡처 윈도우의 $clk3$ 가 캡처 동작을 한 후에 캡처 윈도우의 종료 시점까지 클럭 억제되지 않는다. 캡처 윈도우에서의 클럭 억제는 클럭 영역간의 경로를 테스트하기 위해 사용되므로 가장 늦게 캡처되

는 주사 경로 3을 구동하는 clk3는 클락 억제될 필요가 없다. 비트 카운터 파형은 앞에서 논의한 대로 다중 클락 주파수의 최대 공배수에 맞추어 이동 윈도우와 캡처 윈도우를 분리하였다.

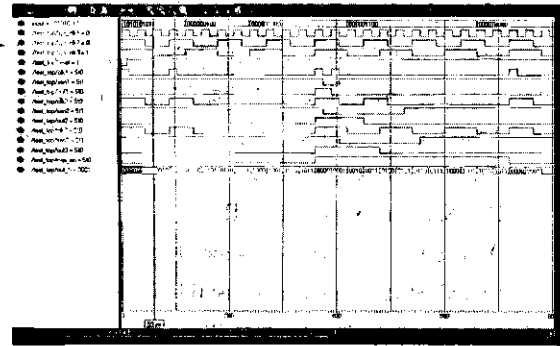


그림 7. 내장된 자체 테스트 구조의 시뮬레이션(약수가 아닌 경우)

Fig. 7. BIST simulation (in case that not all are dividers of the other ones).

그림 8은 다중 클락이 서로 약수 관계가 아닌 경우의 내장된 자체 테스트 구조의 컨트롤러 설계를 합성 및 최적한 것이다. 이동 윈도우에서 각각의 클락에 대한 이동 동작을 맞추기 위한 클락 억제와 클락 멀티플렉싱을 하는데 클락 멀티플렉싱은 다중 클락이 서로 약수인 경우와 동일한 방법으로 가능하나 클락 억제는 가능하지 않으므로 클락 억제를 위해 클락 제어 신호 생성기가 변형되었다. 또한 캡처 신호의 결정도 기존의 방법과 다르게 설계되었다.

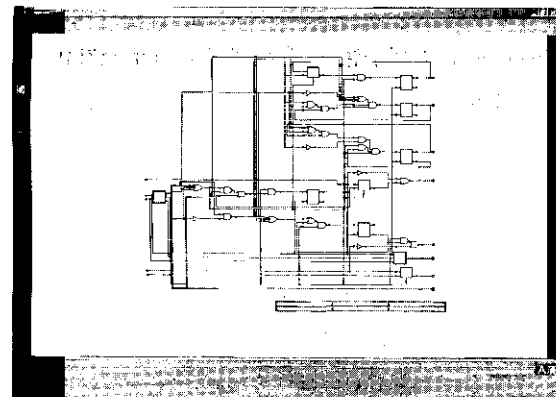


그림 8. 다중 클락 회로 내장된 자체 테스트 컨트롤러 (약수가 아닌 경우)

Fig. 8. BIST controller for multi-clock circuit (in case that not all are dividers of the other

ones).

표 1은 기존의 다중 클락 회로의 내장된 자체 테스트 구조의 테스트 기법들과 본 논문에서 제안한 기법을 테스트 시간과 하드웨어 오버헤드, 테스트 가능한 다중 클락에 대해 기존의 연구와 비교한 것을 나타내었다. 또한 다중 주파수와 동작 속도 테스트의 가능 여부에 대해서도 비교하였다. [4]에서 제안한 방법은 기존의 단일 클락 내장된 자체 테스트 구조를 그대로 사용하고 주사 경로 수만큼의 멀티플렉서가 삽입되거나 하드웨어 오버헤드는 변화가 거의 없고 테스트 시간은 각 클락의 합만큼의 주기를 요하므로 증가하게 된다. [6]은 단일 클락 회로의 내장된 자체 테스트 구조에서 다중 클락 회로가 서로 약수인 경우의 테스트를 위한 추가적인 회로가 삽입되어 하드웨어 오버헤드는 증가하게 되고 가장 느린 클락 주기만큼의 테스트 시간을 요한다. 본 논문에서 제안한 기법은 [6]의 내장된 자체 테스트 구조에 서로 약수가 아닌 경우를 고려하므로 하드웨어 오버헤드는 [6]과 거의 차이가 없고, 다중 주파수와 동작테스트도 가능하고 각 클락의 최소공배수 주기만큼의 테스트 시간을 요한다.

표 1. 내장된 자체 테스트 기법 비교

Table 1. The comparison between BIST methods.

		[4]	[6]	제안한 기법
테스트 시간		각 클락 주기의 합	가장 느린 클락 주기	각 클락간의 최소공배수 주기
하드웨어 오버헤드		거의 변화없음	약간 증가	약간 증가
다중 클락	약수인 경우	가능	가능	가능
	약수가 아닌 경우	가능	불가능	가능
다중 주파수		불가능	가능	가능
동작속도 테스트		불가능	가능	가능

V. 결 론

통신기기의 발달과 시스템온칩에 대한 연구가 활발해지면서 그에 대한 테스트도 중요한 이슈가 되었다. 다중 클락으로 구동되는 회로는 클락 영역간의 또는 영역내의 클락 전이로 인해 기존의 단일 클락의 내장된 자체 테스트 구조로는 테스트가 어렵게 되어 다중

클락 회로의 테스트를 위해 새로운 내장된 자체 테스트 기법이 필요하다.

본 논문에서 제안한 내장된 자체 테스트 기법은 캡처 윈도우에서 다중 클락에 대해 다중 캡처를 하므로 각 클락 영역 내에서 또한 영역간에서 클락 스큐의 영향을 받지 않고, 캡처 윈도우에서 각 주사 경로는 그 주사 경로가 연결된 각각의 시스템 클락의 한 주기가 끝나고 캡처를 하므로 동작 속도로 테스트할 수 있다. 또한 다중 클락이 서로 약수 관계가 아닌 경우에도 내장된 자체 테스트 구조를 확장함으로써 실제 회로에 사용될 때 다중 클락 회로에 대해 내장된 자체 테스트 기법을 적용할 수 있다.

참 고 문 헌

[1] E. J. McCluskey, "Built-In Self Test Technique", IEEE Design & Test of Computers, pp. 21~28, Vol. 2, No. 2, April 1985.

[2] B. Nadeau-Dostie, D. Burek and A. Hassan,

"ScanBIST: A Multifrequency Scan-Based BIST Method", IEEE Design & Test of Computers, pp. 7~17, Vol. 11, No. 1, Spring 1994.

[3] 허운, 강성호, "내장된 자체 테스트에서 경로 지연 고장 테스트를 위한 새로운 가중치계산 알고리즘", 전자공학회 논문지 37권 6호, 2000년 6월

[4] Kee Sup Kim, Len Schultz, "Multi-Frequency, Multi-Phase Scan Chain", Proc. of International Test Conference, pp. 323~330, 1994.

[5] B. Nadeau-Dostie, D. Burek, "Method and Apparatus For Scan Testing Digital Circuits", United States patent number 6,145,105.

[6] Hetherington, G., Fryars, T., Tamarapalli, N., Kassab, "Logic BIST for large industrial designs: real issues and case studies", Proc. of International Test Conference, pp. 358~367, 1999.

저 자 소 개



徐一碩(正會員)

2000년 2월 광운대학교 전자재료공학과 졸업. 2002년 2월 연세대학교 전기전자공학과 졸업(석사). 현재 삼성전자 시스템 LSI 사업부 SOC 연구소



姜成昊(正會員)

1986년 2월 서울대 공대 제어계측공학과 졸업. 1988년 5월 The University of Texas at Austin. 전기 및 컴퓨터공학과 졸업(석사). 1992년 5월 The University of Texas at Austin. 전기 및 컴퓨터공학과 졸업(공학박). 미국 Schlumberger 연구원. Motorola 선임 연구원. 현재 연대 공과대학 전기전자공학과 부교수



康容碩(正會員)

1995년 2월 연세대학교 전기공학과 졸업. 1997년 8월 연세대학교 전기공학과 졸업(석사). 2002년 2월 연세대학교 전기전자공학과 졸업(박사). 현재 LG 전자 시스템 IC 사업부 System IC R&D 센터