

# 테스트 시간 및 데이터 압축을 위한 스캔 적용 기법

(A New Scan Test Method for Reducing Test Application Time  
and Data Volume)

김 용 준\*, 강 성 호\*\*

(Yongjoon Kim and Sungho Kang)



社團 大韓電子工學會  
法人  
The Institute of Electronics Engineers of Korea  
<http://www.ieek.or.kr>

논문 2008-45SD-10-6

# 테스트 시간 및 데이터 압축을 위한 스캔 적용 기법

## (A New Scan Test Method for Reducing Test Application Time and Data Volume)

김 용 준\*, 강 성 호\*\*

(Yongjoon Kim and Sungho Kang)

### 요 약

스캔 테스트 기법은 효과적인 테스트 성능 향상 기법이지만, 이를 위한 테스트 수행 시간이 너무나 길어진다는 단점이 있다. 본 논문에서는 동일한 테스트 입력을 이용하는 Illinois 스캔 기법을 기반으로 한 효율적인 스캔 테스트 기법을 제안한다. 제한하는 방안은 다수의 스캔 입력에 선택적으로 접근하여 다중 스캔 기법의 효과를 최대한으로 이용한다. 실험 결과는 제안하는 방안이 입력을 공유하기 위한 효율을 극대화 하여 매우 적은 테스트 시간과 테스트 데이터만을 필요로 함을 보여준다.

### Abstract

Scan architecture is very effective design-for-testability technique that is widely used for high testability, however, it requires so much test time due to test vector shifting time. In this paper, an efficient scan test method is presented that is based on the Illinois scan architecture. The proposed method maximizes the common input effect via a scan chain selection scheme. Experimental results show the proposed method requires very short test time and small data volume by increasing the efficiency of common input effect.

**Keywords:** Scan testing, Illinois scan architecture, Design-for-testability

## I. 서 론

스캔 테스트 기법은 테스트 성능(Testability)을 높이기 위해 널리 사용되는 DFT(Design-for-testability) 기법이다<sup>[1]</sup>. 이를 통해 복잡한 순차 회로(Sequential circuit)은 높은 고장 검출률(Fault coverage)을 보장할 수 있는 조합 회로(Combinational circuit)으로 모델링할 수 있다. 그러나 스캔 기법은 너무나 긴 데이터 이동 시간(Scan shift time)이 필요하여, 이를 위한 테스트 비용 또한 막대하다. 이를 개선하기 위해 다중 스캔 구조

(Multiple scan architecture)가 사용되나, 이는 다수의 입력 및 출력 핀을 필요로 하여 그 사용이 자유롭지 못하다는 단점이 있다.

Illinois 스캔 구조는 스캔 데이터에 다수개의 X(don't care) 비트가 존재함을 이용하여 스캔 테스트 시간 및 데이터 량을 감소시키기 위해 제안되었다<sup>[2]</sup>. 이를 통해서 다중 스캔 구조와 같이 분리된 스캔 체인은 단일 입력을 통해 테스트 데이터를 인가 받으며, 이것이 불가능한 경우에 한해서 단일 스캔 구조와 동일하게 테스트를 수행한다. 그러나 테스트 패턴의 대부분이 X 비트임<sup>[3]</sup>에도 불구하고, Illinois 스캔 구조에 적합한 테스트 패턴을 찾는 것은 쉬운 일이 아니다.

이를 극복하기 위해 많은 연구가 수행되었다. [4]는 실제 산업에서 사용되는 회로를 대상으로 다양한 Illinois 스캔 구조를 적용했다. 이를 위해 적합한 테스트 패턴을 새로 생성했으며, 이를 통해 실제로 Illinois 스캔 구조에 적용할 수 있는 테스트 패턴이 급격히 증

\* 학생회원, \*\* 정회원, 연세대학교 공과대학  
전기전자공학과

(Department of Electrical and Electronic  
Engineering, Yonsei University)

※ 이 논문은 2008년도 정부(교육과학기술부)의 재원으로  
한국과학재단의 지원을 받아 수행된 연구임  
(No. R01-2006-000-11038-0).

접수일자: 2008년3월10일, 수정완료일: 2008년10월6일

가했다. 그러나 이는 전체 테스트 패턴의 수 또한 엄청나게 증가되어, 실제 테스트 시간 및 테스트 데이터의 감소는 제한적이다. 또한 Illinois 스캔 구조를 위한 ATPG(Automatic Test Pattern Generation) 과정이 매우 복잡하여, 실제 테스트에 적용하기엔 무리가 있다. 다양한 기법을 통한 스캔 체인 재구성 기법 또한 제안되었다<sup>[5-7]</sup>. 이를 통해 사용자는 테스트 패턴의 수정없이 다수의 스캔 연결 구조를 구현할 수 있으므로, 적용 가능한 테스트 패턴의 수가 증가하며, 이를 통해 테스트의 효율은 크게 개선된다. 그러나 이를 위한 하드웨어의 증가가 만만치 않으며, 이로 인해 스캔 체인의 수를 증가시키는데 한계가 있다. [8]은 직렬 및 병렬(Serial-parallel) 적용 기법을 통해 Illinois 스캔 구조의 효율을 극대화 시킨다. 이때의 직렬 기법은 전통적인 직렬 기법과 다른데, 이는 전체의 스캔 체인을 직렬로 연결하여 테스트하는 것이 아니고, 각 스캔 체인의 첫 번째 스캔 셀만을 직렬로 연결하여 테스트 패턴을 인가하는 방식이다. 이를 통해 단일 테스트 패턴 전체가 병렬적으로 인가 가능하지 않더라도, 단일 테스트 사이클의 입력이 병렬적으로 인가된다면, 이를 위한 테스트 시간 및 데이터는 효과적으로 감소하게 된다. 그러나 스캔 체인의 개수가 늘어남에 따라 필요한 테스트 시간은 여전히 길기 때문에 이 방안 역시 한계를 드러낸다.

본 논문에서는 테스트 시간과 데이터 량의 감소를 위한 스캔 테스트 기법을 제안한다. 이는 병렬 및 직렬 Illinois 스캔 기법을 기반으로 하고 있으며, 스캔 체인의 선택적 접근을 통해 테스트 효율을 극대화한다. 이를 통해 기존의 방안에서는 불가능하던 다수의 스캔 체인 구성이 가능하며, 이는 스캔 체인 수의 증가에 따른 지속적인 테스트 시간 감소를 가능하게 한다. 본 논문은 다음과 같이 구성된다. 우선 II장에서는 제안하는 스캔 테스트 기법이 설명될 것이며, III장에서는 이를 위한 하드웨어 구조를 제안한다. 제안하는 방안의 효율성은 IV장에서 실험 결과를 통해 검증되며, V장에서 결론을 맺는다.

## II. 제안하는 스캔 테스트 기법

본 논문의 이해를 위해 다음과 같이 용어를 정의한다. 단위 스캔(Scan segment)이란 Illinois scan을 적용하기 위해 나누어진 스캔 셀의 조합이다. 조각 패턴(Slice pattern)은 각 단위 스캔의 i 번째 스캔 셀에 입력되는 테스트 패턴이다. 스캔 조각(Scan slice)는 하나

의 조각 패턴이 입력될 스캔 셀의 집합이다. 또한 지배값(Dominant value)이란 하나의 조각 패턴에서 다수개 존재하는 0 또는 1 값을 나타내며, 피지배값(Conflict value)은 지배값과 반대되는 값을 의미한다.

그림 1이 스캔 체인에 한 번에 인가될 테스트 벡터라면, 이 스캔 체인은 각각 6개의 스캔 셀로 구성된 5개의 단위 스캔으로 구성되어 있다. 이때 각 열은 조각 패턴이다. 이때 첫 번째 스캔 조각에는 조각 패턴 0XX10이 입력되어야 하며, 이 패턴의 지배값은 0이고 피지배값은 1이다. 일반적인 Illinois 스캔 기법에서는 하나의 입력값이 동일하게 단위 스캔에 입력되지만, 실제 테스트 패턴의 경우 전체 테스트 패턴에서 이와 같이 입력되지 않는 경우가 단 하나만 존재해도 이를 적용할 수 없다. 따라서 각 조각 패턴중 입력값의 공유가 가능한 패턴은 한번에 입력하고, 불가능한 경우는 쉬프트하여 사용이 가능하다<sup>[8]</sup>. 예를 들어 그림 1에서 2, 4, 6열의 경우 0, 1, 0을 입력함으로써 한번에 조각 패턴을 입력할 수 있으나, 1, 3, 5열의 경우 이와같은 적용이 불가능하다. 이를 입력하려면 별도의 쉬프트 동작이 필요한데, 예를 들어 1열의 0XX10을 입력하려면, 초기값 0을 입력한 후 1XX0을 차례로 쉬프트 하여 조각 패턴을 인가한다. 따라서 전통적인 Illinois 스캔 기법에서는 적용이 불가능하여, 총 패턴 인가 시간은 6\*5=30 사이클이며, 개선된 방안 역시 1+3+1+4+1+5=15 사이클이 지난 후에야 테스트 패턴이 인가된다.

본 논문에서 제안하는 스캔 테스트 기법은 각 단위 스캔을 자유롭게 선택함으로써, 짧은 시간에 테스트 패턴을 인가한다. 즉, 한번에 인가가 가능한 조각 패턴의 경우 한 테스트 사이클에 패턴을 인가하고, 이것이 불가능한 경우, 별도의 쉬프트 동작없이 초기값을 지배값으로 인가한 후, 단위 스캔을 선택하여 피지배값을 인가하는 방식이다. 이를 통해 스캔 쉬프트 동작으로 인해 낭비되는 테스트 사이클을 최소화하여, Illinois 스캔 기법의 성능을 최대화 한다. 예를 들어 0XX10을 인가하고자 하는 경우, 초기값으로 지배값 0을 인가한 후 4번

0	X	X	1	0	X
X	X	X	X	1	X
X	X	0	X	X	0
1	0	X	X	X	X
0	X	1	X	X	0

그림 1. 테스트 패턴의 예  
Fig. 1. An example of test pattern.

째 단위 스캔을 선택하여 해당 부분만을 피지배값 1로 변경하여 2 사이클에 조각 패턴을 인가한다. 만약 단위 스캔을 선택하는 동작이 짧은 시간에 이루어진다고 가정하면, 그림 1의 테스트 패턴을 인가하기 위한 쉬프트 사이클은  $1+2+1+2+1+2=9$  사이클로 크게 감소된다. 입력 공유의 효과를 최대화하기 위해 단위 스캔은 가능한 다수개로 구성하는 것이 유리한데, 기존 방안의 경우 성능 저하로 인해 제한적인 개수의 단위 스캔만을 구성했으나, 제안하는 방안은 이에 대한 테스트 시간 증가가 없으므로 단위 스캔의 개수가 증가할수록 유리하다. 다만, 단위 스캔을 선택하기 위한 별도의 하드웨어가 필요하므로, 이에 대한 고찰이 필요하다.

### III. 제안하는 스캔 테스트 구조

본 논문에서 제안하는 스캔 테스트 구조는 그림 2와 같다. 단일 스캔 체인은 전통적인 다중 스캔 구조와 같이 N 개의 단위 스캔으로 나누어지며, 테스트 응답을 위해서는 기존의 방법과 같이 다수개의 출력 핀을 할당하거나, MISR(Multiple Input Signature Register)을 통해 테스트한다.

이때, 각 단위 스캔의 첫 번째 스캔 셀은 ISM(Input Select Module)이라는 스캔 셀로 대체된다. ISM은 단일 스캔 입력 핀을 통해 테스트 벡터를 인가하는데, 이때 각 ISM의 활성화 여부는 디코더에서 제어한다. 이는 입력 값에 따라 하나의 ISM만을 선택하거나, 모든 ISM을 선택한다. 모든 ISM을 선택한 경우, 동일한 입력 값이 모든 단위 스캔에 입력되거나 캡처 동작을 통해 스캔 벡터의 응답 값이 저장되도록 한다. 또한 하나의 ISM을 선택한 경우, 선택한 ISM은 현재 값을 바꿈으로써, 피지배값이 입력되도록 한다.

이와 같은 동작을 수행하기 위해서 ISM은 그림 3과 같이 구성한다. 이는 일반적인 스캔 셀의 구조에 인버터, OR 게이트 및 AND 게이트, 멀티플렉서가 각각 하

나씩 추가된다. 그러나 이는 모든 스캔 셀에 추가되는 것이 아니고, 각 단위 스캔의 첫 번째 셀만을 대체하는 것이므로, 전체 하드웨어 오버헤드는 크게 증가하지 않는다. ISM에 사용자가 요구하는 입력값을 가하기 위해서는 tck가 적합하게 제어되어야 하며, 이는 inverse 및 dec\_en 신호를 통해 가능하다. 즉, 디코더의 입력이 111...111인 경우, inverse는 1이 되며, 그 외의 경우는 0이 된다. 이는 normal 동작을 위한 것이며, 이때는 ISM 뿐 아니라 모든 스캔 셀이 일반 스캔 구조와 같이 동작한다. 그리고 디코더의 입력이 000...000에서 111...110까지의 경우 미리 지정된 ISM 셀 하나에만 dec\_en 신호가 1이 되며, inverse 신호는 0이 된다. 이때는 ISM 셀의 경우 dec\_en에 의해 활성화 및 비활성 상태가 결정되며, 이를 제외한 스캔 셀의 경우 inverse 신호에 의해 클럭이 비활성화 된다.

그림에서 inverse의 상태가 1이면 ISM은 normal 상태로 동작하게 되며, 이 경우 모든 단위 스캔은 scan\_en 신호의 상태에 따라 scan\_in 또는 data\_in 값을 저장하게 된다. 이때, 입력이 scan\_in 이라면 이 입력이 모든 ISM에 동일하게 입력되므로, 단위 스캔에는 하나의 조각 패턴이 한 사이클에 입력된다. 입력이 data\_in 인 경우는 스캔 체인이 캡처 동작을 수행하여, 응답값을 저장하는 경우이다. 따라서 normal 모드는 일반적인 스캔 셀로서 동작하는 경우이다. 이와는 달리 inverse 신호가 0이 되면, tck는 dec\_en에 의해 제어되어 해당 ISM은 dec\_en이 0인 경우 아무런 동작을 하지 않고, 1인 경우 현재 값을 0에서 1 또는 1에서 0으로 변화시킴으로써 피지배값을 인가하게 된다. 즉 조각 패턴이 0과 1값을 모두 인가해야 하는 경우, normal 모드를 통해 지배값 0(1)을 인가한 후, 피지배값 1(0)을 인가하고자 하는 ISM만을 선택하여 데이터를 인가한다. 표 1은 ISM의 동작 모드를 나타낸다. 이외에도 ISM을

표 1. ISM 모드  
Table 1. ISM modes.

동작모드	Normal	Inverse active	inverse inactive
dec_en	X	1	0
inverse	1	0	0
out_OR	1	1	0
out_AND	tck	tck	0
scan_out	scan_in (data_in)	~scan_out	Hold

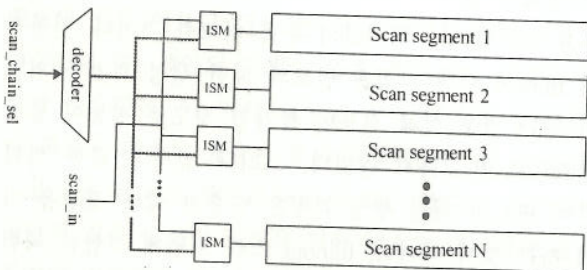


그림 2. 제안하는 스캔 테스트 기법  
Fig. 2. Proposed scan test scheme.

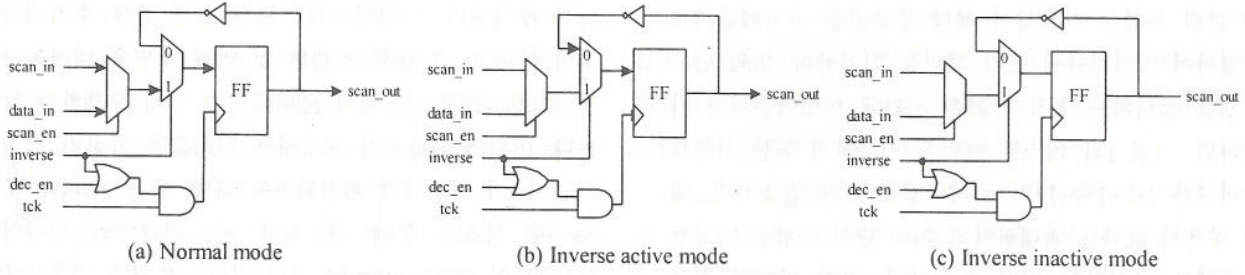


그림 3. ISM(Input Selection Module) 구조  
Fig. 3. Input selection module.

제외한 모든 스캔 셀은 normal 모드가 아닌 경우 아무런 동작을 수행하지 않는데, 이 역시 gated 클럭을 통해 간단히 구현이 가능하다.

IV. 실험 결과

본 논문에서 제안된 기법의 성능을 검증하기 위해 다양한 단위 스캔 개수에 대해 테스트 시간을 비교했다. 단위 스캔 개수는 4개에서 64개까지 분류했으며, 편의상 테스트 패턴은 다중 스캔 구조를 가정하고 TetraMax<sup>[9]</sup>를 이용하여 생성했다.

병렬 인가가 가능한 조각 패턴의 경우, 제안하는 방안과 기존의 방안 모두 한 사이클에 패턴이 인가된다. 따라서 하나의 테스트 패턴 인가를 위한 테스트 시간은 다음과 같다.

$$TC[8]=num\_par\_pat+num\_ser\_pat+\sum (leng\_conf\_val)$$

$$TC[pro]=num\_par\_pat+num\_ser\_pat+\sum (num\_conf\_val)$$

이는 하나의 패턴을 인가하기 위한 것이므로, 전체 테스트 사이클은 이를 모든 테스트 패턴에 대해 적용한 합이다. 병렬 인가가 가능한 패턴과 불가능한 패턴의 수는 고정되어 있으므로, 두 경우 모두 지배값을 인가하기 위한 테스트 사이클이 필요하고 이후 피지배값을 인가하는데, 전체 테스트 사이클 수의 차이는 여기에서 발생한다.

[8]의 경우 첫 번째 스캔 체인에서부터 입력값을 이동하여 인가하는데, 이때 최초입력에서 가장 먼 피지배값까지 이동해야하므로 그 사이에 있는 지배값까지 함께 인가해야 한다. 그러나 제안하는 방식의 경우, 지배값을 인가한 후 피지배값을 인가할 ISM 셀을 선택하는 방식이므로 전체 피지배값의 개수만큼의 테스트 사이클

표 2. 테스트 사이클 비교  
Table 2. Comparisons of the number of test cycles.

Circuits	#seg	[8]	제안된 기법
s13207	4	21,603	18,345
	8	18,932	10,862
	16	22,871	7,328
	32	29,024	5,283
	64	39,373	4,434
s15850	4	22,003	17,118
	8	21,862	10,216
	16	27,949	7,041
	32	34,216	5,838
	64	38,502	5,244
s35932	4	26,991	17,263
	8	27,937	11,820
	16	31,966	9,257
	32	33,220	8,227
	64	35,279	7,708
s38417	4	191,790	174,641
	8	138,995	95,598
	16	139,336	55,332
	32	150,943	36,813
	64	167,068	27,275
s38584	4	688,48	55,470
	8	64,822	35,038
	16	73,591	22,838
	32	100,286	17,898
	64	133,052	16,126

만 필요로 한다.

표 2는 테스트 사이클의 수를 비교한 것이다. 전통적인 Illinois 스캔 기법은 별도의 패턴 생성 과정을 거치지 않는 경우 실제 적용이 불가할 정도로 성능이 좋지 않으므로 비교하지 않았다. 그러나 앞서 언급한 바와 같이 별도의 패턴 생성 과정은 단순한 패턴 생성을 다시 하는 것이 아니라, Illinois 스캔 기법에 적합한 패턴을 생성하기 위한 매우 복잡한 과정이므로, 실제 적용에 어려움이 많다. 표에 나타난 것처럼, 제안하는 스캔

표 3. 테스트 데이터량 비교  
Table 3. Comparisons of the test data volume.

Circuits	#seg	[8]	제안된 기법
s13207	4	43,206	55,035
	8	37,864	43,448
	16	45,742	36,640
	32	58,048	31,698
	64	78,746	31,038
s15850	4	44,006	51,354
	8	43,724	40,864
	16	55,898	35,205
	32	68,432	35,028
	64	77,004	36,708
s35932	4	53,982	51,789
	8	55,874	47,280
	16	63,932	46,285
	32	66,440	49,362
	64	70,558	53,956
s38417	4	383,580	523,923
	8	277,990	382,392
	16	278,672	276,660
	32	301,886	220,878
	64	334,136	190,925
s38584	4	137,696	166,410
	8	129,644	140,152
	16	147,182	114,190
	32	200,572	107,388
	64	266,104	112,882

테스트 기법은 [8]에 비해 훨씬 적은 테스트 사이클만을 필요로 한다. 그러나 더욱 큰 장점은 제안된 기법이 다수개의 단위 스캔을 구성하기에 적합하다는 것이다. [8]의 경우 실제 최적화된 단위 스캔 구성은 8 또는 16인 경우로써, 이보다 큰 경우는 테스트 시간이 오히려 증가한다.

이는 여전히 남아있는 쉬프트 동작이 증가하기 때문이며, 이러한 동작이 필요 없는 제안된 기법의 경우 단위 스캔의 개수가 늘어날수록 더욱 짧은 테스트 수행 시간만을 필요로 함을 알 수 있다. 또한, 실험에 사용된 회로 이외에 매우 많은 개수의 스캔 셀을 가지는 실제 회로의 경우 이보다 더욱 큰 성능 차이를 보일 것으로 예상된다. 단 제안된 기법의 경우 추가적인 디코딩 회로가 필요한데, 이 역시 제한된 범위 내에서 증가시켜야 하므로 테스트 효율이 무한히 좋다고는 할 수 없다.

표 3은 테스트 데이터량을 비교한 것이다. 제안하는 방안의 경우 디코딩 로직을 위한 테스트 데이터가 필요하지만 저장해야 할 데이터가 적기 때문에 전체적인 데이터량 역시 크게 감소한다. 테스트 사이클과 마찬가지로

표 4. s38584대비 추가 하드웨어 오버헤드 비교  
Table 4. Comparisons of extra H/O for s38584.

#seg	원회로	추가회로	비율(%)
3	317,416	426	0.13
7		1,129	0.36
15		2,672	0.84
31		4,976	1.57
63		10,022	3.16

로 데이터량 역시 [8]의 경우 단위 스캔의 개수가 증가함에 따라 오히려 증가하는 경향을 보이지만, 제안하는 방안의 경우는 단위 스캔의 개수 증가에 따라 점차 감소하는 경향을 보인다. 따라서 제안하는 스캔 테스트 기법은 테스트 시간 및 데이터 량에서 모두 나은 성능을 보인다고 할 수 있다.

표 4는 제안하는 스캔 테스트 구조의 하드웨어 오버헤드를 비교한 것이다. 회로는 synopsys design compiler를 통해 합성했다. 제안하는 스캔 테스트 구조는 구성되는 단위 스캔의 개수에 따라서 하드웨어가 추가된다. 즉, ISM 구조에는 multiplexer 및 3개의 게이트가 추가되는데, ISM는 단위 스캔의 첫 번째 스캔 셀만을 대체하므로, 추가되는 하드웨어의 개수는 단위 스캔의 수에 비례한다.

또한, 디코더의 경우 대상 회로에 상관없이 사용자가 정하는 단위 스캔의 개수에 맞추어 그에 적합한 하드웨어가 추가되므로 원회로의 구조와는 독립적인 하드웨어가 추가된다. 따라서 표 4에 나타난 바와 같이 전체 단위 스캔을 63개로 구성한다 해도 추가되는 하드웨어의 비율은 3.16%에 불과하며, 벤치마크 회로가 아닌 큰 사이즈의 실제 회로에 적용할 경우 이 비율은 무시할 만할 정도로 작을 것으로 예상된다.

## V. 결 론

본 논문에서는 테스트 수행 시간 및 데이터 량 감소를 위한 스캔 테스트 기법을 제안했다. 제안된 방안은 단위 스캔 선택을 위한 ISM 구조를 기반으로 하여, 단일 입력으로 조각 패턴을 가하거나, 피지배값을 가하고자 하는 ISM을 선택하여 입력 테스트 패턴을 인가한다. 단위 스캔은 간단한 one-hot 디코더를 통해 구현 가능하며, ISM은 약간의 로직 게이트 및 멀티플렉서가 추가된다.

## 참고 문헌

- [1] *Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits*, M. L. Bushnell, and V. D. Agrawal, Kluwer Academic Publishers, 2000.
- [2] I. Hamzaoglu, and J. Patel, "Reducing Test Application Time for Full Scan Embedded Cores," *Proceedings of International Symposium on Fault Tolerant Computing*, pp. 260-267, 1999.
- [3] T. Hiraide, K. O. Boateng, H. Konishi, K. Itaya, M. Emori, and H. Yamanaka, "BIST-Aided Scan Test - A New Method for Test Cost Reduction," *Proceedings of VLSI Test Symposium*, pp. 359-364, Apr. 2003.
- [4] F. F. Hsu, K. M. Butler, and J. H. Patel, "A Case Study on the Implementation of the Illinois Scan Architecture," *Proceedings of International Test Conference*, pp. 538-547, 2001.
- [5] A. R. Pandey, and J. H. Patel, "Reconfiguration Technique for Reducing Test Time and Test Data Volume in Illinois Scan Architecture Based Designs," *Proceedings of the VLSI Test Symposium*, pp. 9-15, 2002.
- [6] A. Al-Yamani, N. Devta-Prasanna, M. Grinchuk, and A. Gunda, "Scan Test Cost and Power Reduction Through Systematic Scan Reconfiguration," *Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, No. 5, pp. 907-918, May, 2007.
- [7] H. F. Ko, and N. Nicolici, "Functional Illinois Scan Design at RTL," *Proceedings of International Conference on Computer Design*, pp. 78-81, Oct. 2004.
- [8] B. Arslan, and A. Orailoglu, "Extending the Applicability of Parallel-Serial Scan Designs," *Proceedings of International Conference on Computer Design*, pp. 200-203, Oct. 2004.
- [9] TetraMax Reference Manual. Release 2004. 12, Synopsys Inc., Mountain View, CA, 2001.

## 저자 소개



김 용 준(학생회원)  
2002년 2월 연세대학교 공과대학  
전기공학과 학사졸업.  
2004년 2월 연세대학교 공과대학  
전기전자공학과 석사졸업.  
2008년 현재 연세대학교 공과대학  
전기전자공학과 박사과정.

<주관심분야 : SoC 설계, 테스트>



강 성 호(정회원)  
1986년 2월 서울대학교 공대  
제어계측공학과 학사졸업.  
1988년 5월 The University of  
Texas at Austin 전기 및  
컴퓨터 공학과 석사졸업.  
1992년 5월 The University of  
Texas at Austin 전기 및  
컴퓨터공학과 박사 졸업.

1992년 미국 Schlumberger 연구원.  
1994년 미국 Motorola 선임 연구원.  
2008년 현재 연세대학교 전기전자공학과 교수.  
<주관심분야 : SoC 설계, SoC 테스트>