

논문 2005-42SD-2-10

저전력 테스트를 고려한 효율적인 테스트 데이터 압축 방법

(An Efficient Test Data Compression/Decompression for Low Power Testing)

전 성 훈*, 임 정 빈*, 김 근 배*, 안 진 호*, 강 성 호*

(Sunghoon Chun, Jung-Bin Im, Gun-Bae Kim, Jin-Ho An, and Sungho Kang)

요 약

스캔 테스트를 위한 테스트 데이터의 양과 파워 소모는 SoC 테스트에서의 최근의 직면한 가장 큰 문제들이다. 따라서 본 논문에서는 저전력 테스트를 고려한 새로운 테스트 데이터 압축 방법을 제안한다. 제안하는 압축 방법은 테스트 데이터 압축을 위해 압축율, 전력 소모 감소율과 하드웨어 오버헤드를 고려하여 최대 효율을 가지도록 하는데 기초하고 있다. 압축율과 전력 감소율을 높이기 위해서 본 논문에서는 IR (Input Reduction) 기법과 MSCIR (Modified Statistical Code using Input Reduction) 압축 코드를 사용하며, 뿐만아니라 이를 위한 사전 작업인 새로운 스캔 플립플롭 순서 재조합 기법 및 테스트 패턴 순서 재조합 방법을 제안한다. 기존의 연구와는 달리 CSR 구조를 사용하지 않고 원래의 테스트 데이터 T_D 를 사용하여 압축하는 방법을 사용한다. 이렇게 함으로써 제안하는 압축 방법은 기존의 연구에 비해 훨씬 높은 압축율을 가지며 낮은 하드웨어 오버헤드의 디컴프레션 구조와 적은 전력 소모를 가진다. ISCAS '89 벤치 회로에 대한 기존의 연구와의 비교로서 그 결과를 알 수 있다.

Abstract

Test data volume and power consumption for scan vectors are two major problems in system-on-a-chip testing. Therefore, this paper proposes a new test data compression/decompression method for low power testing. The method is based on analyzing the factors that influence test parameters: compression ratio, power reduction and hardware overhead. To improve the compression ratio and the power reduction ratio, the proposed method is based on Modified Statistical Coding (MSC), Input Reduction (IR) scheme and the algorithms of reordering scan flip-flops and reordering test pattern sequence in a preprocessing step. Unlike previous approaches using the CSR architecture, the proposed method is to compress original test data, not T_{diff} , and decompress the compressed test data without the CSR architecture. Therefore, the proposed method leads to better compression ratio with lower hardware overhead and lower power consumption than previous works. An experimental comparison on ISCAS '89 benchmark circuits validates the proposed method.

Keywords: Test Data Compression, Data Decompression, Low power test, Input Reduction, Scan Flip-flop Reordering

I. 서 론

칩의 복잡도가 증가함에 따라 칩의 정확한 테스트의 중요성이 점점 더 커지고 있다. 특히 SoC의 등장으로 인해 칩을 테스트하기 위한 테스트 데이터의 양이 증가하면서 SoC 테스트를 위한 새로운 테스트 용이화 설계

방법론(design for test)들이 요구되고 있다^[1].

특히 최근에는 테스트를 위한 테스트 전력 소비 문제가 중요한 문제로 대두되고 있다. 일반적으로 테스트 시에 소비되는 전력은 칩의 정상 동작 시에 필요한 파워에 2~3배가 필요하다^[2,3]. 테스트 동작 시에 초과되는 전력소비로 인해 직접적으로 정상 칩이 고장나도록 하여 수율을 떨어뜨리기도 하며 간접적으로는 많은 전력소비로 인해 발생하는 열을 견디기 위해서 비싼 패키지를 사용하여 칩의 가격 상승에 영향을 미친다. 이러한 문제들을 해결하기 위해서 최근 들어 테스트 동작 시에 전력을 고려한 여러 가지 테스트 방법들이 연구되

* 정회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronic Engineering, Graduate School, Yonsei University)
※ 본 연구는 한국 과학재단 목적기초연구 (과제번호 : R01-2003-000-10150-0) 지원으로 수행되었음.
접수일자: 2004년5월14일, 수정완료일: 2005년1월21일

고 있다. 이러한 것들 중에는 최대 전력 소비를 고려한 스케줄링 알고리즘^[4], 저전력 BIST^[5, 8], 스캔 테스트 시에 저전력을 구현하기 위한 방법^[9-11] 등이 있다. 특히 이러한 테스트시에 필요한 파워 소비에 관한 문제들은 SoC (System on Chip) 환경으로 오면서 더욱더 중요해졌다.

SoC 환경에서의 테스트 시에서 직면한 또다른 문제점 중의 하나가 바로 테스트 데이터의 증가로 인한 문제이다. 이를 해결하기 위기 위해 연구되는 방법론은 크게 두 가지가 있는데 그 첫 번째 방법은 BIST(Built In Self Test)를 사용하는 것이다. 하지만 BIST를 이용하기 위해서는 SoC에 들어가는 코어들이 모두 BIST-ready 설계되어야 하며 BIST로 인하여 동작에 많은 영향을 미치기 때문에 이를 고려한 설계를 하는데 많은 노력이 필요하게 된다. 테스트 데이터 증가로 인한 문제를 해결하기 위한 또 다른 해결책은 테스트 데이터를 압축하는 방법이다. 이는 ATE에서 SoC를 테스트하기 위해서는 단지 기존의 테스트 데이터를 압축하여 테스트 입력으로 사용하고 이를 칩의 내부의 디코더나 또는 ATE에서 제공하는 디코더를 이용하여 압축된 입력을 원래의 입력으로 바꾸어주기만 하기 때문에 BIST와는 달리 간단하고 효율적인 해결책이라고 할 수 있다.

테스트 데이터를 줄이기 위한 노력들은 몇 년 전부터 계속 되어져 오고 있다. 테스트 데이터를 줄이는 방법으로는 테스트 벡터의 수를 줄임으로서 전체 테스트 데이터를 줄이는 방법^[11, 12]과 ATE로 전달되는 테스트 데이터의 양을 줄이는 방법^[13], 그리고 칩자체에 디코더 구조를 내장한 방법들^[14-21]이 주로 연구되고 있다. 테스트 데이터를 압축하는 알고리즘은 정보의 손실이 없어야 하고 압축된 데이터를 원래의 테스트 데이터로 만들어주는 디코더가 간단해야 한다. Run-Length 코드를 이용한 압축 기법^[11]은 실제 테스트에 영향을 미치는 테스트 패턴들은 서로 다른 비트들이 많지 않다는 사실에 기초한 방법이다. 기존의 많은 연구들^[14, 15, 19, 20, 21]에서는 이러한 사실에 기초해서 원래의 테스트 세트 T_D 를 각 패턴의 유사성을 계산하여 T_{diff} 로 변환하여 압축을 시도했다. 이렇게 재계산 되어진 T_{diff} 테스트 세트를 다시 원래의 테스트 세트로 만들기 위해서는 CSR(Cyclic Scan Register)라는 스캔 체인 구조가 칩 내부에 있어야 한다. 이 경우에는 압축 알고리즘을 디코드하기 위한 하드웨어 이외에 테스트 데이터가 들어가는 스캔 체인 길이만큼의 추가적인 CSR 스캔 체인 구조가 필요하기 때문에 높은 하드웨어 오버헤드를 가질 수밖에 없다.

또한 이러한 압축 기법에 저전력 스캔 테스트를 고려한 테스트 압축 방법이 제안되었다^[22]. 하지만 [22]에서는 단지 기존의 저전력을 고려한 테스트 패턴 압축 방법^[10]으로 생성된 테스트 데이터를 Golomb 코드를 이용하여 압축하는 방법을 제시하였다. 이때에도 역시 CSR 구조를 이용하기 때문에 전력 소비가 더욱 늘어나는 것을 피할 수는 없다.

따라서 본 논문에서는 저전력 테스트를 고려하고 이때 효과적으로 테스트 데이터를 압축할 수 있는 방법을 제안한다. 또한 이 압축 방법을 이용하기 위해 모든 SoC에 쉽게 적용할 수 있도록 하드웨어 오버헤드를 최소화한 온 칩 디코더를 제안한다. 이전의 방법과는 달리 CSR 구조를 이용하지 않고 이에 대한 압축률의 손실을 보완하기 위해 IR(Input Reduction) 방법을 이용하여 적은 하드웨어 오버헤드를 가지고 높은 압축률을 가지는 혼합적인 압축 방법을 제안하며 적절한 압축율을 유지하면서 저전력 테스트를 가능하게 하기 위한 새로운 스캔 플립플롭의 순서의 재조합 알고리즘을 사용한다.

본 논문은 다음과 같이 구성된다. II장에서는 제안하는 저전력을 고려한 테스트 데이터 압축 방법을 위한 전력 소비 모델과 여러 가지 정의들을 설명하고 III장에서 제안하는 압축 방법을 자세하게 설명한다. IV장에서 제안된 압축 방법의 효율성을 실험 결과를 통해 보여주고 마지막으로 V장에서 결론을 맺는다.

II. 예비사항

1. 전력 소비 모델

CMOS 회로에서 전력 소모는 크게 정적 전력 소모와 동적 전력 소모로 구분할 수 있다. 일반적으로 전력원으로부터의 누설 전류나 지속적인 전류에 의한 정적 전력 소모는 회로의 출력 스위칭 동작에 의한 동적 전력 소모에 비해서 양이 작기 때문에 본 논문에서는 고려하지 않는다.

회로에서 스위칭에 의해서 발생하는 동적 전력 소모는 스위칭 빈도, 즉 전이 수에 비례한다. CMOS 회로의 동적 전력 소모는 다음과 같이 정의할 수 있다.

$$P = \frac{1}{2} CV_{dd}^2 (SA) \quad (1)$$

여기서 C 는 출력의 Load capacitance, V_{dd} 는 공급 전압, SA 는 스위칭 동작 수를 나타낸다. 보통 SA 를 제

외한 나머지 부분은 회로의 테스트 동작에 있어서 변경되지 않는 부분이므로 저전력 테스트를 위해서는 회로에 테스트를 위해서 가해지는 입력 패턴의 SA를 줄이는 방법이 가장 중요한 변수로 작용한다고 할 수 있다. 따라서 스캔기반의 테스트에서 전력 소모를 천이 수를 이용하여 전력 소모에 대한 모델링할 수 있으며 이를 다음과 같이 기술할 수 있다.

본 논문에서는 스캔 패턴에 의한 전력 소모를 [10]에서 제안한 WTM(Weighted Transition Metric)을 이용하여 측정한다. 이 모델 기법은 스캔 체인 내부의 전이 수를 근거로 하여 만든 것으로 비교적 간단히 전력 소모에 대한 값을 얻을 수 있다. 스캔 체인은 직렬로 연결되어 스캔 벡터의 스캔 인(scan in) 시 직렬로 이동하기 때문에 스캔 체인에 입력되는 패턴중 앞부분에 발생하는 천이에 가중치를 두어 계산하여야 할 필요가 있다. 이를 수식화한 모델이 WTM 모델이다.

스캔 체인의 길이를 k 라고 하고, 각 스캔에 입력되는 패턴 P 를 p_1, p_2, \dots, p_k 라고 하자. 이때 각 스캔에 테스트 패턴들이 입력되는 동안 소모되는 전력 소모를 WTM으로 표현하면 다음과 같다.

$$WTM(P) = \sum_{j=1}^k (p_j \oplus p_{j+1})(k-j) \quad (2)$$

그리고 테스트 진행시 사용되는 테스트 패턴의 전체 테스트 패턴 $P_{total} = \{P_1, P_2, \dots, P_n\}$ 에 대한 전력 소모는 다음과 같다.

$$WTM(P_{total}) = \sum_{i=1}^n WTM(P_i) \quad (3)$$

따라서 식(3)은 테스트 수행 시 소모되는 전체 전력이라고 할 수 있다.

2. 정의

본 논문에서는 제안하는 저전력을 고려한 압축 방법을 쉽게 설명하기 위해서 다음의 정의를 사용한다. 여기서는 입력이 N 이고 테스트 패턴의 개수가 L 인 테스트 데이터 T 에서 $v(i,k)$ 는 입력 i ($0 \leq i \leq N-1$)의 k ($0 \leq k \leq L-1$)번째 테스트 패턴의 값이라 가정한다.

정의 1. 호환가능 : 주어진 테스트 데이터 T 에서 두 개의 입력 i 와 j 는 $0 \leq k \leq L-1$ 에서 $v(i,k) = v(j,k)$ 이면 호환가능이다. $v(i,k) = X$ 또는 $v(j,k) = X$ 일 때는 서로 호환가능 또는 역호환가능한 서로 다른 입력의 주

어진 값과 상충되지 않아야 한다.

정의 2. 역호환가능 : 주어진 테스트 데이터 T 에서 두 개의 입력 i 와 j 는 $0 \leq k \leq L-1$ 에서 $v(i,k) = \bar{v}(j,k)$ 이면 역호환가능이다. $v(i,k) = X$ 또는 $v(j,k) = X$ 일 때는 서로 호환가능 또는 역호환가능한 서로 다른 입력의 주어진 값과 상충되지 않아야 한다.

정의 3. 스캔 입출력 벡터(SV) : 주어진 테스트 데이터 T 에서 입력 i 의 $0 \leq k \leq L-1$ 에서의 테스트 입력 시퀀스 $SV_{ik(input)}$ 과 각 테스트 시퀀스 k 에서의 출력 결과 $SV_{jk(output)}$ 의 합집합을 입력 i 에 대한 스캔 입출력 벡터 SV_i 라고 정의한다.

정의 4. 스캔 거리(SD) : 주어진 테스트 데이터 T 에서 두 개의 스캔 입출력 벡터 i 와 j 의 테스트 시퀀스 간의 거리를 스캔 거리 (SD)라 정의한다. 스캔 거리 SD_{ij} 는 다음의 식에 의해서 구할 수 있다.

$$SD_{ij} = \sum_{k=0}^{L-1} SV_{ik} \oplus SV_{jk} \quad \text{where } i < j \quad (4)$$

정의 5. 압축 블록(CB) : 테스트 데이터 T 에서 가장 출현 빈도수가 높은 4비트 블록을 압축 블록(CB)라 정의한다.

정의 6. 비압축 블록(UB) : 테스트 데이터 T 에서 압축 블록을 제외한 나머지 부분을 2비트로 나누고 이렇게 나누어진 블록들을 비압축 블록이라 정의한다. 따라서 테스트 데이터에서 비압축 블록은 {00, 01, 10, 11}의 4가지 종류를 가질 수 있다.

III. 제안하는 압축 방법

제안하는 저전력을 고려한 테스트 데이터 압축 방법은 크게 IR(input reduction) 기법, 스캔 플립플롭 순서 제조합, MSCIR(Modified Statistical Code using Input Reduction) 코드를 이용한 테스트 데이터 압축 기법으로 이루어져 있다. 제안하는 저전력을 고려한 테스트 데이터 압축 방법을 MSCIR-LP(Modified Statistical Code using Input Reduction for Low Power test)라 한다. MSCIR-LP의 전체적인 알고리즘은 그림 1과 같다.

1. IR(Input Reduction) 기법

이 방법은 기존의 논문^[23]에서 BIST를 위한 테스트 세트를 줄이기 위해 처음 제안되었고 본 논문에서는 이 방법을 수정하여 압축율을 높이기 위한 IR 기법을 제안한다. 제안하는 IR 기법은 기존의 테스트 패턴의 고장

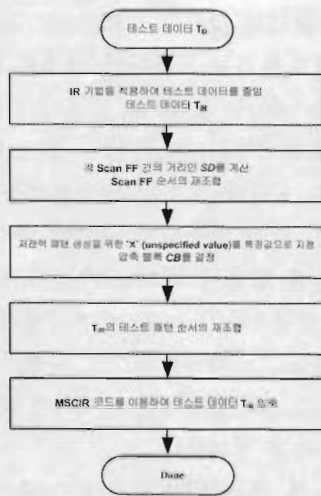


그림 1. 제안하는 전체 테스트 데이터 압축 알고리즘
 Fig. 1. The overall algorithm of the proposed test data compression scheme.

검출율의 손실 없이 테스트시에 테스트 입력을 동일하게 사용할 수 있는 입력을 찾는 방법이다. 서로 다른 입력이 항상 동일한 입력값을 가지면 그러한 입력들을 호환가능이라 하며 호환가능한 입력들은 하나의 입력으로 합쳐질 수 있다. 역으로 서로 다른 입력이 항상 반대값을 입력값으로 가지면 그러한 입력들을 역호환가능이라 하며 역호환가능한 입력들은 인버터(inverter) 하나만 있으면 하나의 입력으로 합쳐질 수 있다. 이렇게 호환가능한 입력들과 역호환가능한 입력들을 찾아내서 원래의 테스트 데이터 T_D 를 테스트 입력을 줄이는 방법으로 테스트 데이터 T_{IR} 로 줄이는 방법을 IR 기법(Input Reduction Scheme)이라고 한다.

[23]에서 제안된 IR 기법과는 달리 제안하는 IR 기법은 BIST를 위한 ATPG를 고려하지 않기 때문에 주어진 테스트 데이터 T_D 를 이용하여 호환가능한 입력과 역호환가능한 입력을 찾아내는 것이 필요하다. 따라서 새로운 IR 알고리즘이 필요하며 이 알고리즘은 그림 2와 같다.

이 알고리즘에서는 먼저 input check set C 를 준비하고 C_i ($0 \leq i \leq N-1$)를 UNIQUE로 초기화 시킨다. 여기서 UNIQUE는 입력 i 는 호환가능하지도 역호환가능하지도 않다는 의미이다. 주어진 테스트 데이터 T_D 의 전체 테스트 시퀀스 k ($0 \leq k \leq L-1$)에서 is_compatible 함수를 이용하여 정의 1과 정의 2의 개념을 이용하여 입력 $v(i, k)$ 와 비교 입력 $v(j, k)$ 사이의 호환가능성을 알아낸다. 이 함수에서는 정의 1과 정의 2에 정의되어진 것처럼 만약 $v(i, k)$ 또는 $v(j, k)$ 의 값이 X(don't care) 값이라면 is_compatible 함수 내에 있는

```

input_reduction()
TD: test set
N: the number of inputs
L: the length of test sequence
input_check: the queue to check whether target input is reduced previously
{
    int i;
    int j;
    int k; // sequence k(0 ≤ k ≤ L-1)
    int check;

    initialize_input_check();

    for(i=0; i<N; i++)
    {
        if(input_check[i] == UNIQUE)
        {
            v(i, k); // target input
            for(j=+1; j<N; j++)
            {
                if(input_check[j] == UNIQUE)
                {
                    v(j, k); // comparison input
                    compatible_check = is_compatible(v(i,k), v(j,k));
                    // is_compatible function includes the conflict_check function
                    switch(compatible_check)
                    {
                        case COMPATIBLE:
                            input_check[j] = COMPATIBLE;
                            break;
                        case INV_COMPATIBLE:
                            input_check[j] = INV_COMPATIBLE;
                            break;
                        case DONT_CARE:
                            input_check[j] = DON'T_CARE;
                            break;
                        case NONE:
                            input_check[j] = UNIQUE;
                            break;
                    }
                }
            }
        }
        else
            break;
    }
}
    }
}
    
```

그림 2. 제안하는 IR (Input Reduction) 알고리즘
 Fig. 2. The proposed IR(Input Reduction) algorithm.

conflict_check 함수를 이용하여 이전의 다른 호환가능 입력이나 역호환가능 입력과 상충되는 값이 있는지 확인한다.

IR 기법을 적용하기 위한 스캔 체인 구조는 원래의 스캔 체인 구조에 몇 개의 fanout 들과 NOT 게이트를 만으로 쉽게 구성할 수 있다.

이렇게 IR 기법을 적용함으로써 테스트 데이터는 호환가능한 입력과 역호환가능한 입력들의 합에 비례하여 줄어들고 또한 이렇게 입력을 줄이는 것에 의해서 테스트 데이터를 스캔 체인 내부에서 scan shifting을 할 때에 발생하는 전이를 줄일 수 있다. 이로 인해서 테스트시에 발생하는 특히 스캔 체인으로 테스트 데이터를 입력할 시에 발생하는 전력 소모를 많이 줄일 수 있다.

2. 스캔 플립플롭의 순서 재조합

IR 기법을 적용하여 줄어든 테스트 데이터 T_{IR} 는 많은 수의 스캔 체인 내부의 전이를 줄일 수 있는 장점을 가지고 있다. 하지만 IR 기법으로는 테스트 벡터 입력시의 전이만이 줄어들었기 때문에 테스트 벡터에 대한 출력을 scan out 할 시에는 아무런 이득이 없게 된다. 따라서 테스트 벡터의 입력뿐만 아니라 그에 대한 출력값도 고려하여 저전력을 구현 가능하게 하는 방법이 고려되어야 한다. 이를 가능하게 하기위해서 본 논문에서

는 스캔 플립플롭의 순서 재조합 방법을 제안한다.

테스트 데이터 T_{IR} 은 스캔 플립플롭의 순서 재조합, 즉 테스트 패턴의 각 비트의 입력과 출력 순서의 재조합을 고려함으로써 좀 더 많은 수의 입력 및 출력 천이를 줄일 수 있다. 스캔 플립플롭의 순서 재조합을 하기 위해서는 먼저 회로의 각 테스트 입력 i 에 대해서 정의 4에서 정의한 스캔 입출력 벡터 SV_i ($0 \leq i \leq N-1$)를 구해야 한다. 테스트 데이터 T_{IR} 의 입력 수를 M 이라 하면 T_D 에서의 입력 N ($M \leq N$)에서 $(N-M)$ 개의 호환 가능한 입력과 역호환 가능한 입력들의 $SV_{k(input)}$ 은 실제 테스트 시에 scan shift 동작에 아무런 영향을 주지 않기 때문에 모든 k 에서 X 로 정의하고 다만 $SV_{k(output)}$ 만을 구하여 이 두개의 합집합으로 호환가능한 입력 또는 역호환 가능한 입력의 스캔 입출력 벡터 SV 를 구한다. 또한 스캔 입출력이 아닌 테스트 회로의 주입력과 주출력의 경우는 SoC 내부에서 경계 스캔 구조를 사용하거나 또는 P1500의 wrapper cell 로 연결되어 있고 일반적인 스캔 구조와는 달리 입출력이 동일하지 않기 때문에 주입력과 주출력의 순서 재조합은 일반적인 스캔 플립플롭의 순서 재조합과는 별개의 과정으로 이루어진다. 그러나 재조합하는 알고리즘은 동일하기 때문에 제안하는 스캔 플립플롭의 재조합 알고리즘을 주입력과 주출력에도 쉽게 확장하여 사용할 수 있다.

이렇게 구해진 스캔 입출력 벡터를 이용하여 각 스캔 플립플롭 간의 스캔 거리 SD 를 계산하여 이 스캔 거리 SD 가 최소가 되는 스캔 플립플롭의 순서는 결국 전체 테스트 동작동안의 scan shift 시에 발생하는 천이가 최소가 되는 스캔 플립플롭의 순서이기 때문에 이 순서로 스캔 체인을 구성하면 스캔 기반의 테스트 시에 전력 소모를 엄청나게 줄일 수 있게 된다. 스캔 거리 SD 가 최소가 되는 스캔 플립플롭의 순서를 구하기 위해서 본 논문에서는 그래프 표현 방법을 사용한다. 그림 3에 스캔 플립플롭이 4개일 경우를 그래프 표현 방법으로 표현한 예가 나타나 있다. 여기서 각 모서리는 스캔 플립플롭 i 를 나타내고 각 모서리를 연결한 선은 각 모서리 사이의 스캔 거리 SD_{ij} 를 나타낸다. 단 SD 를 구할 때의 X 값에 대한 XOR 연산 결과는 0이 된다.

그래프로 표현된 스캔 플립플롭간의 SD 를 최소로 하는 경로를 찾는 것은 이미 알려진 TSP (Traveling Salesman Problem)와 같은 NP 문제이다. 따라서 이를 적절한 시간 내에 최단 거리를 찾기 위해서 본 논문에서는 초기 스캔 플립플롭은 기존의 스캔 구조에서의 초기 스캔 플립플롭으로 설정하고 이 스캔 플립플롭과 가

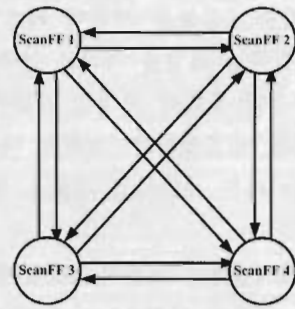


그림 3. 스캔 플립플롭 순서 재구성을 위한 그래프 표현의 예

Fig. 3. An example of a graph representation for the scan flip-flop reordering.

```

SV : the set of the scan input/output vector
i : the index of the SV
N : the number of scan inputs
SCO [N]; the array of the order of the scan chain
Scan_FF_reorder()
{
    i = 0; // initial index for the SV
    while (i < N)
    {
        set SVi;
        calculate SDij; where 1 < j ≤ N-1
        temp = min_SD(); // get the index of the SV which has the minimum
                        //value of SD between current SV and target SV
        swap(SCO[i+1], SCO[temp]);
        i++;
    }
}
    
```

그림 4. 스캔 플립플롭 순서 재조합 알고리즘의 의사코드
Fig. 4. The pseudocode of the scan flip-flop reordering algorithm.

장 최소의 SD 를 갖는 스캔 플립플롭 가지는 스캔 플립플롭을 그 다음 플립플롭으로 체인을 구성하는 방법을 반복하여 최단 거리를 찾는다. 이는 최적의 결과는 아니지만 적절한 시간 내에 효과적으로 적당한 결과를 가지는 알고리즘이며 특히나 대부분의 회로의 스캔 플립플롭의 수는 굉장히 많기 때문에 빠르고 쉽게 적절한 결과를 찾을 수 있다는 장점이 있다. 이 알고리즘을 의사코드로 나타내면 그림 4와 같다.

3. MSCIR 코드를 이용한 테스트 데이터 압축

본 논문에서는 기존의 연구들에서 들어나는 단점을 해결하기 위해 기존의 $SC^{[18]}$ 에 기반한 새로운 압축 코드(MSCIR : Modified Statistical Code using Input Reduction)를 제안한다. 제안하는 압축 코드는 기본적으로 가장 출현 빈도수가 4비트 코드워드인 이루어진 블록 하나, 즉 압축 블록(CB)만을 1비트의 압축 코드로 압축하고 나머지 비트는 2비트로 이루어진 코드워드의 블록, 즉 비압축 블록(UB)으로 구별 비트 1비트와 원래의 2비트의 3비트 코드로 만들어 준다.

제안하는 MSCIR 코드를 생성하기 위한 압축 알고리즘은 크게 3개의 과정으로 나눌 수 있다. 먼저 테스트

데이터에 존재하는 X값들을 저전력 테스트를 위한 특정한 값으로 채워주는 과정을 거치고 압축할 블록의 크기에 따라서 압축할 블록이 최대로 만들어 질 수 있도록 패턴의 순서를 재조합한다. 그리고 나서 이렇게 생성된 테스트 데이터를 제안하는 새로운 압축 코드로서 압축한다.

테스트 데이터 T_{IR} 에는 여전히 X값들이 존재하기 때문에 이 값들을 어떻게 채워주느냐에 따라서 발생하는 전력 소모의 양이 달라질 수 있다. 따라서 제안하는 압축 알고리즘은 먼저 X값들을 X값이 나타나기 이전의 입력 값과 동일한 값을 넣어줌으로서 전이를 최소화하게 된다. 만일 X값이 연속으로 있는 경우라면 'X'값이 시작되는 값의 이전 값과 같은 값을 할당함으로써 전이가 일어나는 것을 방지할 수 있게 된다. 이와 같은 방법을 사용하여 테스트 패턴에서 발생할 수 있는 전이의 가능성을 최소화하고 전이가 발생하더라도 테스트 패턴의 뒤쪽에서 발생하도록 하여 WTM 모델로 정의된 전력 소모의 양을 최소화한 테스트 데이터를 생성할 수 있다.

다음에 이렇게 X값을 특정값으로 채워준 테스트 데이터는 패턴 순서를 재조합함으로써 압축블록 CB를 좀더 자주 출현할 수 있도록 만들 수 있다. 그렇게 하기 위해 각 패턴의 맨 처음 값과 맨 나중 값을 저장하고 그 길이도 먼저 계산해 둔다. 각 패턴의 맨 마지막 값과 다음 순서에 나타나는 패턴이 같은 값이 되도록 하고 그 길이가 압축을 위한 블록이 많이 생성될 수 있는 순서로 패턴 순서를 재조합한다.

이렇게 재조합을 한 테스트 데이터를 제안한 MSCIR 코드를 이용하여 가장 출현 빈도수가 높은 압축블록 CB를 선택하여 압축을 시도한다. 여기서 위의 재조합 방법을 통해 압축블록의 출현 빈도수를 조금 더 높이는 것은 압축률을 높일 수 있는 중요한 요소이다.

제안한 압축 방법으로 압축된 테스트 데이터를 테스트 시에 이용하기 위해서는 ATE 자체에 압축을 풀어주는 하드웨어가 내장되어 있거나 SoC 내부에 압축을 풀어주는 하드웨어가 내장되어 있어야 한다. 일반적으로 ATE 자체에 압축을 풀어주는 하드웨어를 내장하기 보다는 SoC 내부에 압축을 풀 수 있는 디컴프레션 구조를 넣어주는 것이 훨씬 수월하기 때문에 이 방법을 사용한다. SoC 내부에 내장되는 일반적인 디컴프레션 구조는 디코더와 이 디코더와 ATE 사이의 신호를 통제하는 컨트롤러로 이루어진다. 앞에서 언급했듯이 제안하는 압축방법은 디컴프레션 구조에 필요한 하드웨어

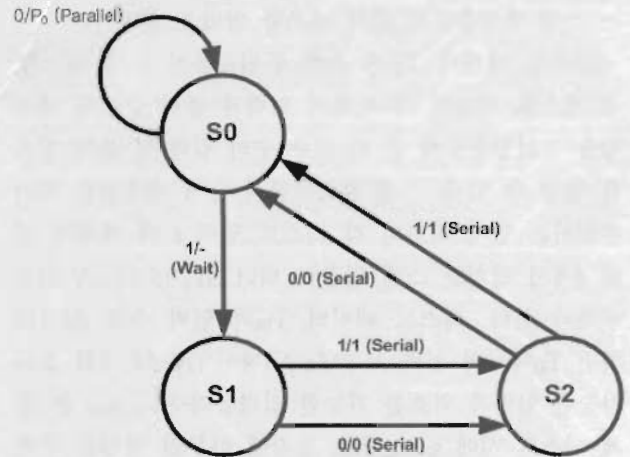


그림 5. MSCIR 코드를 위한 FSM 디코더의 상태 전이 다이어그램

Fig. 5. The state transition diagram of the FSM decoder for MSCIR code.

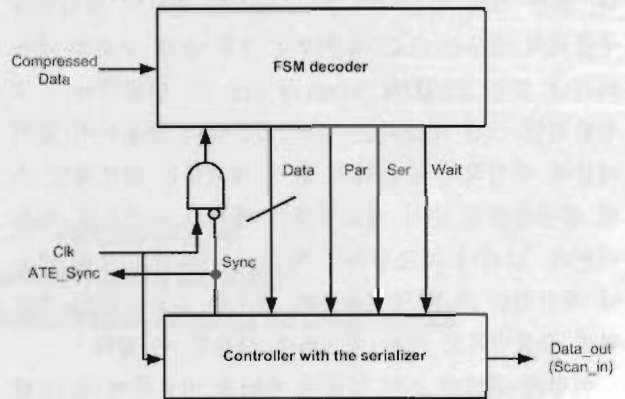


그림 6. 제안된 압축방법의 FSM 디코더를 위한 컨트롤러

Fig. 6. The decompression controller for the proposed FSM decoder.

오버헤드를 줄이기 위해 기존의 연구 [14, 15, 19, 21]와는 달리 CSR 구조가 필요하지 않다. 또한 제안되는 디컴프레션 구조는 [24]에서 볼 수 있는 것처럼 ATE가 외부 클럭 동기화를 할 수 있다고 가정한다.

먼저 MSCIR 코드를 풀기 위한 디코더는 간단한 FSM으로 구현된다. 이 디코더는 테스트의 클럭과 테스트의 채널로부터 압축된 테스트 데이터가 전달되는 입력으로 구성된 2개의 입력을 가진다. 그리고 출력으로는 압축된 데이터를 풀었을 때의 원래의 데이터를 전송하는 데이터 출력단과 3개의 컨트롤 신호를 내보내는 출력으로 이루어진다. 3개의 컨트롤 신호는 *parallel_load*, *serial_load*과 *wait* 신호로 구성된다. 이 신호들은 압축된 데이터가 디코딩될 때 serializer로 신호를 내보내고 버퍼링 및 ATE와의 동기화를 위해서 필요한 신호이다. 디코더 FSM을 위한 상태 전이 다이어

어그랩은 그림 5와 같이 간단히 나타낼 수 있다. 압축된 각각의 코드워드는 패턴이 압축된 것인지 아닌지 알려주는 비트를 가지고 있다. 제한한 압축 코드는 첫 번째 비트가 '1'이면 인코딩 되지 않은 패턴임을 나타내는 것이고 '0'이면 인코딩된 패턴임을 나타내는 것이다. 또한 FSM 디코더를 통해 복원된 테스트 데이터를 테스트 하고자 하는 회로(CUT)의 스캔 체인에 넣어주고 ATE와 FSM의 신호를 통제하기 위한 컨트롤러는 그림 6과 같다.

IV. 실험 결과

제안된 압축 방법의 성능 평가를 위해서 ISCAS '89 벤치마크 회로를 이용하여 실험을 수행하였다. 실험은 펜티엄 3 667MHz의 Linux 시스템에서 C로 구현하여 수행하였다. 각 회로를 위한 테스트 패턴은 기존의 제안된 방법들과의 비교를 위해서 MINTEST^[11]라는 ATPG 툴로 생성된 테스트 데이터를 이용하였다. 또한 기존의 논문들의 경우에는 블록의 크기에 따라 결과의 차이를 보였는데 본 논문의 실험은 [21]의 실험 결과 중 각 벤치회로에서 가장 좋은 성능을 보인 블록의 크기를 기준으로 하였다. 또한 SC(Statistical Code)^[18], Golomb^[15], FDR(Frequency-Detected Run-length)^[14], VIHC(Variable-length Input Huffman Code)^[21]를 이용한 방법은 제안된 방법이 최대의 압축율을 보일 수 있도록 T_{diff} 테스트 데이터를 생성하여 사용한 반면에 본 논문에서 제안하는 MSCIR 압축 방법은 T_{diff} 를 사용하지 않고 원래의 테스트 데이터 T_D 를 그대로 이용하였다. 여기서 기존의 연구들은 저전력 테스트를 고려하지 않았기 때문에 제안하는 압축 방법보다 좀더 높은 압축율을 보이는 결과를 가지고 있기도 하다. 그 결과는 표

표 1. 기존의 압축 방법과 제안된 압축 방법의 압축율(%) 비교

Table 1. The compression ratio of previous works and the proposed method(%).

회로	블록 크기	SC [18]	Golomb [14]	FDR [15]	VIHC [21]	MSCIR -LP
s5378	4	34.79	40.70	48.19	51.52	56.55
s9234	4	35.52	43.34	44.88	54.84	44.36
s13207	4	77.73	-	-	-	67.14
	16	-	74.78	78.67	83.21	-
s15850	4	40.16	47.11	52.87	60.68	69.48
s38417	4	37.11	44.12	54.43	54.51	69.85
s38584	4	37.72	47.71	52.85	56.97	79.94

1과 같다.

표 1에서 볼 수 있듯이 s9234와 s13207과 같은 회로에서의 압축율은 기존의 압축 방법에 비해서 떨어지는 것을 볼 수 있다. 하지만 기존의 압축 방법의 경우 저전력 테스트를 고려하지 않고 테스트 데이터 내의 X값을 단지 압축율을 높이기 위해서 사용한 반면에 제안하는 MSCIR-LP 방법은 저전력을 고려하여 스캔 플립플롭의 순서를 재구성하고 'X'값을 특정값으로 적용하였기 때문에 압축율에서 조금 손해를 볼 수 있다. 기존의 연구 방법에서 사용되어진 테스트 데이터를 가지고 테스트를 할 시의 전력 소모와 제안된 MSCIR-LP 방법을 이용하였을 시의 전력 소모 감소율을 2장에서 언급한 WTM 모델을 이용하였고 각 전력 소모 P는 식 (2)와 (3)을 이용하여 계산하였다. 또한 기존의 압축 방법에서 사용한 테스트 데이터는 실제로 디코드 되어서 scan 입력으로 들어갈 때는 원래의 테스트 데이터 시퀀스와 동일하므로 본 실험에서는 모든 압축방법에서의 디코드된 테스트 데이터인 T_D 를 이용하여 제안된 방법과 비교하였다. 실험한 결과는 표 2와 같다. 여기서 전력 소모 감소율은 다음의 식에 의해서 구할 수 있다.

$$\text{the power reduction ratio} = \frac{(P_{T_D} - P_{T_{MSCIR-LP}})}{P_{T_D}} \times 100 \quad (5)$$

또한 여기서 SC^[18]의 방법을 제외한 나머지 압축 방법들은 CSR 구조를 사용하기 때문에 압축된 코드를 디코드 하기위해서 실제 디코드된 테스트 데이터가 들어가는 스캔 체인의 길이만큼의 디코드를 위한 플립플롭 체인이 필요하다. 따라서 이 체인에서 발생하는 전이값 엄청나게 많기 때문에 위의 표 2에서 측정된 TD의 전력 소모보다 훨씬 더 많은 전력 소모가 테스트 데이터 디코드를 위해서 필요하게 되므로 저전력 테스트를 위

표 2. 기존의 압축 방법과 제안된 압축 방법의 사이의 전력 소모 감소율(%)

Table 2. The power consumption reduction ratio of previous works and the proposed method(%).

회로	블록 크기	전력 소모 감소율
s5378	4	89.18
s9234	4	88.28
s13207	16	89.89
s15850	4	94.88
s38417	4	86.60
s38584	4	78.78

해서는 기존의 제안된 Golomb^[14], FDR^[15], VIHC^[21]와 같은 방법은 높은 압축율에도 불구하고 사용하기가 힘들다고 할 수 있다.

테스트 데이터 압축 방법에서 압축율과 전력 소모 외에 또하나 고려해야 하는 사항이 압축 코드를 디코드하기 위한 디컴프레션 구조의 하드웨어 오버헤드이다. 아무리 좋은 압축 기법이라도 그 디컴프레션 구조의 하드웨어 오버헤드가 너무 크다면 실제로 사용하기가 어렵다. 특히 SoC 환경에서는 여러개의 코어를 위한 디컴프레션 구조가 따로 존재해야 하는데 이때에 디컴프레션 구조의 하드웨어 오버헤드가 크다면 실제로 SoC를 설계시에 많은 문제들이 발생할 수 있으므로 더욱더 사용하기 어렵게 된다. 따라서 적은 하드웨어 오버헤드에 높은 압축율을 가지는 압축 방법이 가장 효율적인 테스트 데이터 압축방법이라고 할 수 있다. 제안하는 압축 방법과 기존의 압축 방법들의 디컴프레션 구조의 하드웨어 오버헤드를 비교하면 표 3과 같다.

여기서 각 벤치회로는 하나의 스캔 체인으로 스캔을 연결한 회로를 가정하였고 스캔 체인은 Mentor Graphics의 DFTadvisor를 이용하여 삽입하였다. 또한 각 벤치 회로에서의 디컴프레션 구조의 하드웨어 오버헤드는 Synopsys의 Design compiler를 이용하여 계산된 결과이다.

표 3의 결과에서 보이듯이 제안된 MSCIR 코드를 위한 디컴프레션 구조는 가장 작은 하드웨어 오버헤드를 가진다. 또한 기존의 Golomb^[14], FDR^[15], VIHC^[21] 코드의 경우는 결과로 제시된 압축율을 얻기 위해서는 CSR 구조가 필요한데 CSR 구조에 필요한 하드웨어 오버헤드 역시 앞에서 언급했듯이 최악의 경우 주입력의 수만큼의 플립플롭이 필요하므로 굉장히 크다. 이를 해결하기 위해서 [19]에서 제안한 사용되지 않는 스캔 체인을 CSR 구조 대응으로 사용하는 방법을 이용한다면 대응으로 사용되는 스캔 체인의 길이는 압축을 풀고자 하는

스캔 체인 입력의 수와 같아야 한다는 제한이 있으며 이를 모든 회로에 적용하는 것은 아주 어려운 일이다.

따라서 제안하는 MSCIR-LP 방법은 저전력을 고려한 테스트에서 효과적으로 테스트 전력 소비를 줄이면서도 적절한 압축율로 테스트 데이터를 줄일 수 있는 효율적인 저전력 테스트를 고려한 테스트 데이터 압축 방법이라고 할 수 있다.

V. 결 론

본 논문에서는 저전력 테스트를 효율적인 테스트 데이터 압축 방법을 제안하였다. 이전의 연구^[14, 15, 19, 21]와는 달리 테스트 데이터의 효율적인 압축을 위해서 CSR 구조를 이용하는 T_{diff} 테스트 데이터를 이용하지 않고 ATPG에서 생성된 테스트 데이터를 그대로 이용하면서 CSR 구조와 같이 디컴프레션 구조외의 추가적인 하드웨어 오버헤드를 가지지 않는 방법을 제안하였다. T_{diff} 테스트 데이터를 이용하지 않는 대신에 IR 기법을 이용하여 테스트 시에 필요한 테스트 입력을 줄이고 이렇게 함으로서 테스트 데이터의 아무런 손실 없이 테스트 데이터를 효과적으로 줄일 수 있다. 또한 IR 기법의 사용으로 인하여 scan in 동작 시에 발생하는 테스트 벡터의 천이 수가 감소되고 따라서 테스트 시에 발생하는 전력 소모도 줄일 수 있다. IR 기법외에 테스트 시에 발생하는 전력 소모를 줄이기 위해서 스캔 플립플롭의 순서 재조합 방법을 사용하여 SoC 테스트의 scan shift 동작 시에 발생하는 전력 소모를 최소화하도록 하였다. 마지막으로 IR 기법을 이용하여 줄어든 테스트 데이터 T_{IR}을 제안하는 압축 방법인 MSCIR 코드를 이용하여 압축하도록 한다. 제안된 MSCIR 코드는 디코드 과정이 간단하여 이를 디코드 하기 위한 디컴프레션 구조 역시 간단하다. 따라서 기존의 제안된 압축 방법에 비해 적은 하드웨어 오버헤드를 가진다. IV장의 실험결과에서 볼 수 있듯이 제안하는 압축 방법은 적은 하드웨어 오버헤드를 가지면서 압축율은 기존의 연구보다 훨씬 높거나 비슷한 효율적인 압축 방법이라고 할 수 있다.

표 3. 기존의 압축 방법과 제안된 하드웨어 오버헤드 비교 (%)

Table 3. The comparison of the hardware overhead(%).

회로	블록 크기	SC [18]	Golomb [14]	FDR [15]	VIHC [21]	MSCIR-LP
s3378	4	11.43	4.41	10.58	4.78	3.87
s9234	4	9.4	3.58	8.69	3.88	3.14
s13207	16	10.15	3.71	3.86	3.58	1.35
s15850	4	4.35	1.6	4	1.74	1.40
s38417	4	1.5	0.54	1.38	0.59	0.47
s38584	4	1.47	0.53	1.35	0.59	0.46

참 고 문 헌

[1] Y. Zorian, S. Dey, and M. J. Rodgers, "Test of Future System on Chips," In Proceedings International Conference on Computer Aided Design, pp. 392 - 400, 2000.

- [2] Y. Zorian, "A distributed BIST control scheme for complex VLSI devices," In Proceedings VLSI Test Symposium, pp. 4-9, 1993.
- [3] T. -L. Chou, K. Roy and S. Prasad, "Estimation of circuit activity considering signal correlation and simultaneous switching," In Proceeding IEEE International Conference of Computer -Aided Design, pp. 300-303, 1994.
- [4] R. M. Chou, K. K. Saluja and V. D. Agarwal, "Scheduling tests for VLSI systems under power constraints," *IEEE Transactions on VLSI Systems*, vol. 15, pp. 175-185, 1997.
- [5] S. Wang and S. K. Gupta, "LT-RTPG: A new test-per-scan BIST TPG for low heat dissipation," In Proceedings International Test Conference, pp.85-94, 1999.
- [6] P. Girard, L. Guiller, C. Landrault and S. Pravossoudovitch, "A test vector inhibiting technique for low energy BIST design," In Proceedings IEEE VLSI Test Symposium, pp.407-412, 1999.
- [7] F. Corno, M. Rebaudengo and M. S. Reorda, "Low power BIST via nonlinear hybrid cellular automata," In Proceedings IEEE VLSI Test Symposium, pp. 29-34, 2000.
- [8] S. Wang and S. K. Gupta, "ATPG for heat dissipation minimization during scan testing," In Proceedings Design Automation Conference, pp. 614-619, 1997.
- [9] V. Dabholkar, S. Chakravarty, I. Pomeranz and S. M. Reddy, "Techniques for minimizing power dissipation in scan and combinational circuits during test application," *IEEE Transaction on Computer-Aided Design*, vol. 17, pp. 1325-1333, 1998.
- [10] R. Sankaralingam, R. R. Oruganti and N. A. Touba, "Static compaction techniques to control scan vector power dissipation," In Proceedings IEEE VLSI Test Symposium, pp. 35-40, 2000
- [11] I. Hamzaoglu and J. H. Patel, "Test set compaction algorithms for combinational circuits," In Proceedings International Conference on Computer Aided Design, pp. 283-289, 1998.
- [12] I. Pomeranz, L. Reddy, and S. Reddy, "Compactest: A method to generate compact test set for combinational circuits," *IEEE Transactions on Computer Aided Design*, Vol. 12, pp. 1040-1049, 1993.
- [13] M. Ishida, D. S. Ha, and T. Yamaguchi, "Compact: A hybrid method for compressing test data," In Proceedings IEEE VLSI Test Symposium, pp. 62 - 69, 1998.
- [14] A. Chandra and K. Chakrabarty, "Frequency -Directed Run-Length(FDR) Codes with Application to System on a Chip Test Data Compression," In Proceedings IEEE VLSI Test Symposium, pp. 114 - 121, 2001.
- [15] A. Chandra and K. Chakrabarty, " System-on -a-Chip Test Data Compression and Decompre -ssion Architectures Based on Golomb Codes," *IEEE Transactions on Computer Aided Design*, Vol. 20, pp. 113 - 120, 2001.
- [16] A. El-Maleh, S. al Zahir, and E. Khan, "A Geometric Primitives Based Compression Scheme for Tesing System-on-Chip," In Proceedings for IEEE VLSI Test Symposium, pp. 114 - 121, 2001.
- [17] V. Iyengar, K. Chakrabarty and B. Murray, "Deterministic Built In Pattern Generation for Sequential Circuits," *Journal of Electronics Testing : Theory and Applications*, Vol. 15, pp. 97 - 114, 1999.
- [18] A. Jas, J. Ghosh-Dastidar, and N. A. Touba, "Scan Vector Compression/Decompression Using Statical Coding," In Proceedings IEEE VLSI Test Symposium, pp. 114 - 121, 1999.
- [19] A. Jas and N. Touba, "Test Vector Decompre -ssion Via Cyclical Scan Chains and Its Application to Testing Core Based Designs," In Proceedings IEEE International Test Conference, pp. 458 - 464, 1998.
- [20] A. Jas and N. Touba, "Using Embedded Processor for Efficient Deterministic Testing of System-on-Chip," In Proceedings International Conference on Computer Design, pp. 418 - 423, 1999.
- [21] P. Y. Gonciari, B. M. Al-Hashimi, and N. Nicolici, "Improving Compression Ratio, Area Overhead, and Test Application Time for System-on-a-Chip Test Data Compression /Decompression," In Proceedings Design, Automation and Test in Europe Conference and Exhibition, pp. 604-611., 2002.
- [22] A. Chandra and K. Chakrabarty, "Low-power scan testing and test data compression for System-on-a-Chip," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 21, pp.597-604, 2002.
- [23] C. A. Chen and S. K. Gupta, "Efficient BIST TPG Design and Test Set Compaction via Input Reduction," *IEEE Transactions on Computer Aided Design of Integrated Circuit and Systems*, Vol. 17, pp., 1998.
- [24] D. Heidel, S. Dhong, P. Hofstee, M. Immediato,

K. Nowka, J. Silberman, and K. Stawiasz,
 "High-speed Serializing/Deserializing Design-
 for-Test Methods for Evaluating a 1 GHz
 Microprocessor," In Proceedings IEEE VLSI Test
 Symposium, pp. 234 - 238, 1998.

저 자 소 개



전 성 훈(정회원)
 2002년 연세대학교 전기공학과
 학사 졸업.
 2004년 현재 연세대학교 전기전자
 공학과 석사 과정
 <주관심분야 : DFT, CAD>



임 정 빈(정회원)
 2003년 연세대학교 기계전자
 공학부 전기전자전공
 학사 졸업
 2004년 현재 연세대학교 전기전자
 공학과 석사 과정
 <주관심분야 : DFT, Testing>



김 근 배(정회원)
 2003년 연세대학교 전기공학과
 학사 졸업.
 2004년 연세대학교 전기전자
 공학과 석사 과정 졸업
 2004년 현재 연세대학교 전기전자
 공학과 박사 과정

<주관심분야 : On-line Test, DFT>



안 진 호(정회원)
 1995년 연세대학교 전기공학과
 학사 졸업.
 1997년 연세대학교 전기전자
 공학과 석사 과정 졸업
 2002년 LG전자 DTV 연구소
 선임연구원

2004년 현재 연세대학교 전기전자공학과 박사
 과정
 <주관심분야 : SoC 설계 및 응용, DFT>



강 성 호(정회원)
 1986년 서울대학교 제어계측
 공학과 학사 졸업
 1988년 The University of Texas,
 Austin 전기 및 컴퓨터공
 학과 석사 졸업
 1992년 The University of Texas,
 Austin 전기 및 컴퓨터공
 학과 박사 졸업

미국 Schlumberger연구원, Motorola 선임 연구원
 현재 연세대학교 전기전자공학과 교수
 <주관심분야 : SoC 설계 및 SoC 테스트>