

논문 2009-46SD-3-4

# 효율적인 LFSR 리시딩 기반의 테스트 압축 기법

( An Efficient Test Compression Scheme based on LFSR Reseeding )

김 홍 식\*, 김 현 진\*, 안 진 호\*\*, 강 성 호\*\*\*

( Hong-Sik Kim, Hyunjin Kim, Jin-Ho Ahn, and Sungho Kang )

## 요 약

선형 피드백 쉬프트 레지스터(linear feedback shift register:LFSR) 기반의 효율적인 테스트 압축기법을 제안하였다. 일반적으로 기존의 LFSR 리시딩 기반의 테스트 압축 기법의 성능은 주어진 테스트 큐브 집합내의 최대 할당 비트 수,  $s_{max}$ 에 따라 변하는 특성을 가지고 있다. 따라서 본 논문에서는 LFSR과 스캔 체인 사이에 서로 다른 클럭 주파수를 사용하여 적절하게 스캔 셀을 그룹화 함으로써  $s_{max}$ 를 가상적으로 감소시킬 수 있었다. 만약 스캔 체인을 위한 클럭 주파수보다  $n$ 배 느린 클럭을 LFSR을 위하여 사용한다면, 스캔 체인내의 연속적인  $n$  개의 스캔셀들은 항상 동일한 테스트 입력값을 갖게 된다. 따라서 이와 같은 연속적인 셀들에 무상관 비트(don't care bit)를 적절하게 배치하게 되면 압축해야 하는 할당 비트의 수를 줄일 수 있게 된다. 제안하는 방법론의 성능은 스캔셀의 그룹화 알고리즘에 의존적이기 때문에, 그래프 기반의 새로운 스캔 셀 그룹화 알고리즘을 제안하였다. ISCAS 89 벤치마크 회로에 대한 실험을 통하여 제안하는 기법은 기존의 테스트 압축 기법들에 비해서 적은 메모리 용량 및 매우 작은 면적 오버헤드를 보장할 수 있음을 증명하였다.

## Abstract

A new LFSR based test compression scheme is proposed by reducing the maximum number of specified bits in the test cube set,  $s_{max}$ , virtually. The performance of a conventional LFSR reseeding scheme highly depends on  $s_{max}$ . In this paper, by using different clock frequencies between an LFSR and scan chains, and grouping the scan cells, we could reduce  $s_{max}$  virtually. If the clock frequency which is slower than the clock frequency for the scan chain by  $n$  times is used for LFSR, successive  $n$  scan cells are filled with the same data; such that the number of specified bits can be reduced with an efficient grouping of scan cells. Since the efficiency of the proposed scheme depends on the grouping mechanism, a new graph-based scan cell grouping heuristic has been proposed. The simulation results on the largest ISCAS 89 benchmark circuit show that the proposed scheme requires less memory storage with significantly smaller area overhead compared to the previous test compression schemes.

**Keywords :** 스캔 테스트, 테스트 압축, 시스템 온 칩, 선형 피드백 레지스터

## I. 서 론

미세 공정 기술의 발전에 의해 구현 가능해진 고집적 시스템 온 칩(system on chip: SOC)에서는 프로세서 코어, 대용량 내장 메모리, 혼성신호, 아날로그 및

RF(radio frequency) 코어 등의 IP(intellectual property) 코어가 하나의 칩에 집적되어진다. SOC에서 사용하는 IP 코어의 수가 증가함에 테스트 패턴 집합의 크기도 같이 증가하고 있어 ATE(automatic test equipment)는 많은 양의 테스트 패턴을 저장할 수 있는 충분한 용량의 메모리를 필요로 하며, ATE가 갖고 있는 제한된 채널에 의해 고집적 SOC의 테스트는 점점 더 많은 시간이 필요하게 되었다. 이와 같은 상황에서 내장된 자체 테스트 기법(built-in self test: BIST)은 각각의 IP 코어를 테스트할 수 있는 좋은 방안이 될 수 있다. 작은 하드웨어 오버헤드를 갖고 있는 선형 피드

\* 정회원, \*\*\* 평생회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic Engineering, Yonsei University)

\*\* 정회원, 호서대학교 전자공학과  
(Department of Electronic Engineering, Hoseo University)

접수일자: 2008년6월2일, 수정완료일: 2009년3월3일

백 쉬프트 레지스터(LFSR) 또는 셀룰라 오토마타 (cellular automata: CA)와 같은 의사 무작위 테스트 패턴 생성기들이 BIST의 패턴 생성기로 주로 사용되고 있다. 그러나 무작위 테스트 패턴에 의해 검출이 용이하지 않은 고장(random pattern resistive faults: RPRF)들이 많을 경우에는 의사 무작위 테스트 패턴 생성기들을 이용하여서는 높은 고장 검출율(fault coverage)을 달성하기가 어려운 상황이다. 이러한 문제를 극복하고자 하는 연구가 다수 진행되었다<sup>[4~11]</sup>. 이와 같은 테스트를 고려한 설계(design for testability: DFT)는 CUT(circuit under test)를 수정하여 무작위 패턴에 테스트가 용이하도록 만드는 기법이나 추가된 회로에 의해 회로의 타이밍 특성에 영향을 미칠 수 있다. 가중 무작위 테스트는 높은 고장 검출율의 달성할 수 있는 좋은 대안이 될 수 있다<sup>[6~9]</sup>. 이와 같은 BIST 기법은 IP 자체가 BIST 적용이 가능하도록 회로를 변경해야 하는 문제가 발생할 수 있고 시스템 설계자가 임의로 변경할 수 없는 하드 IP의 형태로 전달받은 경우에는 해당 IP에 BIST를 적용하는 것이 불가능한 한계가 존재한다. 따라서 최근에는 결정 테스트 (deterministic test) 집합을 압축하여 작은 크기의 데이터로 만든 후에 칩 내부에 삽입한 하드웨어를 이용하여 압축된 데이터를 다시 원래의 테스트 데이터로 복원하여 테스트를 수행하는 테스트 압축에 관한 연구들이 많이 진행되어 왔다<sup>[10~14]</sup>.

본 논문은 LFSR 리시딩 기법을 기반으로 새로운 테스트 압축 기법을 제안한다. 전통적인 LFSR 리시딩의 효율은  $S_{max}$ 에 의해 좌우되는 점을 이용하여 LFSR과 스캔 체인 및 스캔 셀 그룹화에 서로 다른 주파수의 클럭을 사용해서 가상으로  $S_{max}$ 의 수를 줄이는 기법을 제안한다. 만일 LFSR의 클럭 주파수가 스캔체인의 클럭 주파수보다  $r$ 배 만큼 느리다고 할 경우, 연속하는  $r$ 개의 스캔 셀들은 동일한 데이터로 채워지게 되어 스캔 셀의 그룹화를 하게 되면 할당 비트의 수를 줄이는 것과 같은 효과를 볼 수 있다. 이와 같이 하면 테스트 큐브 셋의 실질적인 할당 비트의 수는 변함이 없으나 시드 계산에 필요한 정보량은 감소하게 되어  $S_{max}$ 가 가상적으로 감소한 것과 같은 효과를 얻을 수 있게 된다. 본 논문에서는 그래프 기반의 새로운 스캔 셀 그룹화 방법론을 제안하며 이에 따라 제안된 구조의 효율을 증가시킬 수 있었다.

## II. 제안하는 테스트 압축기법

### 1. 제안하는 스캔 아키텍처

그림 1은 LFSR을 이용한 전통적인 테스트 압축 기법과 제안하는 기법을 보여주고 있다. 전통적인 테스트 압축 기법을 보여주는 그림 1(a)에서 시드(seed)가 LFSR에 로드된 후 결정 테스트 패턴의 생성을 위해 일련의 스캔 체인에 값을 채울 수 있도록 LFSR이 동작하게 된다. 만일 각 스캔 체인의 최대 길이를  $L$ 이라고 할 경우 LFSR은 전체 스캔 체인을 채우기 위해  $L$  주기 동안 동작하게 된다. 서로 다른 시드는 각각 다른 테스트 패턴을 생성하므로, 주어진 결정 테스트 큐브에 대하여, 적절한 시드는 LFSR의 선형 수식의 해를 계산하여 구할 수 있다.

제안하는 구조는 LFSR과 스캔 체인에 동기화된 서로 다른 배수를 갖는 주파수의 클럭을 사용하여 테스트 큐브 셋의 할당 비트의 최대값을 가상적으로 감소시키는 기법이다. 전통적으로는 위의 두 클럭은 동일한 주파수를 갖고 있다. 따라서 모든 스캔 셀은 각자 구분되는 각각 고유의 선형 방정식을 갖게 된다. 그러나 그림 1(b)와 같이, LFSR에 스캔 체인의 clock( $\phi$ )에 비하여  $r$ 배 만큼 느린 clock( $\phi/r$ )을 사용하게 될 경우에는 스캔 셀의 순서를 적절하게 재배치함으로써 연속하는  $r$ 개의 스캔 셀 그룹 내에서는 동일한 값을 갖도록 할 수

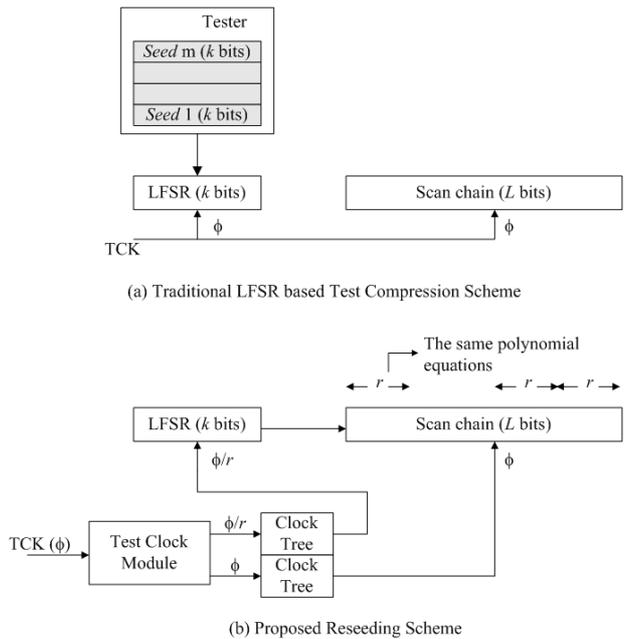


그림 1. 제안하는 테스트 압축구조  
Fig. 1. Proposed test compression scheme.

있다. LFSR과 스캔 체인에 서로 다른 클럭을 사용하는 상기 기법을 사용함으로써, 테스트 큐브 집합의 최대 할당 비트의 수( $s_{max}$ )가 가상적으로 줄어드는 효과를 얻게 되어 압축을 수행할 원본 데이터의 양을 크게 감소시킬 수 있다. 이때 테스트 큐브내의 할당 비트의 수는 실제로는 감소하지 않았으나, 시드 계산을 위해 필요한 유효 할당 비트의 수가 감소하여  $s_{max}$ 가 감소한 것과 동일한 효과를 얻을 수 있다. 이러한 의미에서  $s_{max}$ 가 가상적으로 감소하였다는 표현을 사용한 것이다. 결론적으로 제안하는 방법을 사용하면, 유효 할당 비트의 가상적 감소에 기인한 시드의 길이를 줄일 수 있고, 따라서 LFSR 리시딩 기법의 압축 효율을 크게 증가시킬 수 있다.

2. 스캔 셀 그룹화 방법론

제안된 기법의 효율을 극대화시키기 위해서는 스캔 체인을 구성하는 스캔 셀이 효율적으로 그룹화 되어야 한다. 이를 위해서 본 논문에서는 이와 같은 그룹화 문제를 각 그룹 내의 스캔 셀의 값들이 서로 충돌하지 않도록 스캔 셀을 그룹화 하는 문제로 정의하였다. 이와 같이 스캔 셀을 주어진 테스트 큐브 집합에 대해서 논리값의 충돌이 발생하지 않도록 효율적인 그룹화를 수행하기 위해서 본 논문에서는 그래프 기반의 새로운 스캔 셀 그룹화 방법론 제안하였다.

제안하는 방법론의 그래프에서 각 노드는 스캔 셀을

```

construct a graph  $G$ ;
 $G_{org} = G$ ;
while ( $G \neq \emptyset$ )
{
    select the pair with the minimum sum of node connections
    from  $G$ ;
    add the pair to group  $G_i$ ;
    remove the pair from group  $G$ ;
    for ( $j=1; j < M+1; j++$ ) // generating  $G_i$ 
    {
        select a node from  $G$  such that the node is connected
        to all the nodes in  $G_i$ , and its connection strength
        is minimal;
        add the node to  $G_i$ ;
        remove the node from  $G$ ;
    }
    if ( $balance\_size(G_i) == false$ )
    {
        decrease  $M$ ;
         $G = G_{org}$ ; // restart the process
    }
}
    
```

그림 2. 제안하는 스캔 파티션 알고리즘  
 Fig. 2. Proposed scan partition algorithm.

의미하고 두 노드의 데이터에 충돌이 발생하지 않을 경우 두 노드는 에지(edge)로 연결되어 진다. 따라서 에지에 의해 연결된 노드들은 동일한 하위 그룹으로 그룹화될 수 있게 된다. 또한 각 노드가 다른 노드들과 연결된 에지의 개수를 연결 강도(connection strength)로 정의하였다.

그림 2는 각 하위 그룹의 스캔 셀의 개수가  $M$ 이라고 하였을 경우의 스캔 셀 그룹화 방법론을 설명한다. 먼저 주어진 테스트 큐브 집합으로부터 그래프  $G$ 를 생성한다. 그리고 그래프  $G$ 내에서 연결강도의 합이 최소가 되는 서로 연결 가능한 두 개의 노드를 선택하여 이들을 서브 그래프  $G_i$ 에 포함시키고  $G$ 에서 이들을 삭제한다. 다음으로,  $G_i$ 내의 모든 노드와 최소의 연결강도 합으로 연결되어 있는 노드를  $G_i$ 에 포함시키고, 이 과정을  $G_i$ 로 옮길 수 있는 노드가 더 이상  $G$ 내에서 존재하지 않을 때까지, 또는  $G_i$ 의 노드 개수가  $M$ 에 도달할 때까지 반복 수행한다. 만일  $G_i$ 의 노드 개수가  $M$ 에 도달하는 경우가 발생하지 않게 되면  $M$ 값을 줄여서 위의 과정을 반복 수행하게 된다. 이와 같은 일련의 과정을 초기 그래프  $G$ 의 노드가 모두 하위 그래프들로 분할 될 때까지 반복 수행하게 되면 그룹화가 종료하게 된다. 이 방법에서는 최초 두 노드의 선택 기준을 연결강도의 합이 최소가 되는 것으로 하였고 하위 그래프 내의 노드의 최대 개수를  $M$ 으로 한정하였기 때문에 추후에 생성되는 하위 그래프  $G_{i+1}$ 는  $G_i$ 와 작거나 같은 개수의 노드를 포함하게 된다.  $G_{i+1}$ 와  $G_i$ 의 노드 개수가 동일한 경우에는 사이즈 밸런싱(size balancing)이 불필요하지만,  $G_{i+1}$ 의 노드 개수가  $G_i$ 보다 적은 경우에는 모든 테스트 값이 무상관 비트(don't care bit)인 노드를  $G_{i+1}$ 에 포함시키는 사이즈 밸런싱 작업을 수행하게 된다. 이와 같이 사이즈 밸런싱을 위해서 하위 그래프에 추가될 수 있는 무상관 비트의 노드가 더 이상 존재하지 않고 동시에  $G_{i+1}$ 의 노드 개수가  $M$ 보다 작을 경우에는  $M$ 을 감소시키고 그룹화 작업을 재시작 하게 된다.

그림 3은 앞서 설명한 스캔 셀 그룹화 방법론을  $M=3$ 인 경우의 예를 통하여 설명하는 그림이다. 우선 그래프  $G$ 가 주어진 테스트 큐브 집합에 대해서 생성된다. 이 때, 노드 0와 노드 5가 최소 연결강도( $2+2=4$ ) 연결되는 노드들이기 때문에, 이들을 새로운 하위 그래프인  $G_1$ 에 포함시키고  $G$ 로부터 제거하게 된다. 그리고 노드

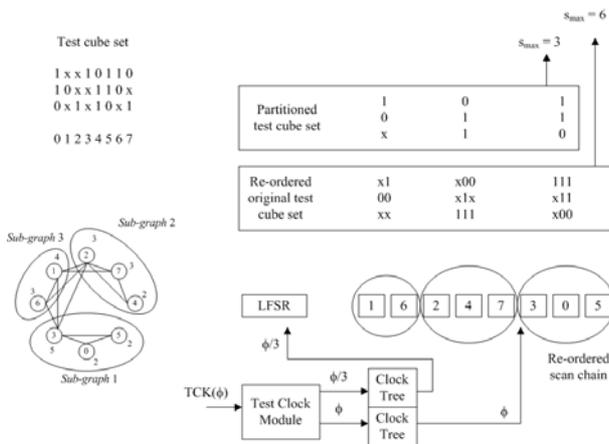


그림 3. 스캔 셀 그룹화의 예  
Fig. 3. An example of scan cell grouping.

3가 하위 그래프  $G_1$ 과 최소 연결강도로 연결될 수 있는 노드이기 때문에, 노드 3을  $G_1$ 에 포함시킨다. 따라서 크기가 3인 새로운 하위 그래프  $G_1$ 이 완성되게 된다. 이와 같은 방법이 그래프  $G$ 내의 모든 노드들이 완전히 그룹화 될 때 까지 반복하게 되면, 노드 0, 노드 3 그리고 노드 5가 하위 그래프,  $G_1$ ,으로 묶이게 되고, 노드 2, 노드 4 그리고 노드 7이 하위 그래프,  $G_2$ ,로 그룹화 되게 된다. 그리고 나머지 노드들인 노드 1과 노드 6이 마지막 하위 그래프인,  $G_3$ ,을 형성하게 된다. 이 경우에는 오직 하나의 하위 그래프  $G_3$ 만이 나머지 그래프들과 다른 크기를 갖기 때문에, 사이즈 발런싱을 수행하는 대신에 하위 그래프  $G_1$ 을 스캔 입력 포트에 가장 가깝게 배치함으로써 올바른 스캔 동작이 수행 될 수 있도록 하였다.

위와 같은 알고리즘에 따라 그룹화 하는 경우 일부 스캔 셀은 레이아웃에 의한 제한으로 동일 그룹으로 포함될 수 없는 경우가 발생할 수 있으므로 레이아웃에 의한 제한을 그룹화 하는 과정에서 고려해야만 한다. 레이아웃 제약 조건을 구하는 과정은 본 논문의 범위를 벗어나기 때문에 본 논문에서는 다루지 않도록 한다.

### III. 실험 결과

본 논문에서 제안하는 기법에 대한 실험은 큰 규모의 ISCAS 89 벤치마크 회로를 대상으로 수행하였다. 각 회로는 10,000 개의 의사 무작위 패턴을 인가하여 검출이 용이한 고장(easy fault)을 먼저 제거하였고 검출이 어려운 나머지 고장(hard fault)에 대해 자동 테스트 패턴 생성(automatic test pattern generation: ATPG)을

표 1. 제안된 구조의 하드웨어 오버헤드  
Table 1. Hardware overhead of the proposed scheme.

Circuit		Gate equiv.	% overhead
Name	Gate equiv.		
s5378	4,271	107	2.5
s9234	8,579	331	3.9
s13207	14,260	149	1.0
s15850	16,280	233	1.4
s38417	38,011	478	1.3
s38584	37,554	268	0.7
Average	19,825	261	1.3

표 2. 부분 리시딩 구조와의 비교  
Table 2. Comparison with partial reseeding scheme[13].

Circuit	Proposed	[13]	$\frac{EE1}{EE2}$
			$\frac{EE1}{EE2}$
Name	$EE1$	$EE2$	$\frac{EE1}{EE2}$
s5378	1.17	0.98	1.19
s9234	0.94	0.93	1.01
s13207	1.16	0.94	1.24
s15850	0.95	0.98	0.97
s38417	1.31	0.98	1.34
s38584	1.27	0.97	1.31
Average	1.13	0.96	1.18

수행하여 100%의 고장 검출율을 얻을 수 있는 결정 테스트 큐브를 생성하여 각 테스트 큐브를 대응하는 LFSR의 시드값을 구하였다. 리시딩 기법의 효율을 평가하기 위해 테스트 큐브의 할당 비트 개수로 인코딩된 시드의 비트 수를 나누는 인코딩 효율(encoding efficiency)을 사용 하였다.

표 1은 제안한 reseeding 구조의 하드웨어 오버헤드를 나타내고 있다. 하드웨어 면적은 2-input NAND의 면적을 1이라고 가정한 GE(gate equivalent)를 통하여 계산하였다. 표의 두 번째 열은 ISCAS 벤치마크 회로의 GE를 나타내며 세 번째 열은 제안하는 리시딩 구조의 GE를 표시한다. 제안된 구조는 Synopsys<sup>TM</sup>의 Design Compiler를 사용하여 게이트 수준의 넷리스트를 구현하였으며, 제안하는 구조의 면적 오버헤드를 해당 벤치마크 회로의 면적에 대비한 %로 표1의 마지막 열에 제시하였다. 제안하는 구조의 면적 오버헤드는 모든 벤치마크 회로에 대하여 2.5%이내였고 평균 1.3%의 상대적인 면적 오버헤드를 보인다.

표 2는 부분 리시딩 구조<sup>[13]</sup>와 제안한 구조를 인코딩 효율을 이용하여 비교한 결과를 보여준다. s15850을 제외한 모든 회로에 대하여 제안한 방법론의 인코딩 효율이 우수한 것으로 나타났다. s15850의 경우에는 제안된 구조가 약간 낮은 인코딩 효율을 보이고 있다. 평균적으로 제안하는 구조가 부분 리시딩에 비해서 1.18배의

표 3. 가변 길이 LFSR 리시딩 구조와의 비교  
Table 3. Comparison with variable rank LFSR scheme<sup>[14]</sup>.

Circuit Name	Proposed		[18]		$\frac{EE1}{EE2}$	$\frac{area1}{area2}$
	EE1	area1	EE2	area2		
s5378	1.17	107	1.23	471	0.95	0.23
s9234	0.94	331	1.15	1,297	0.82	0.26
s13207	1.16	149	1.17	751	0.99	0.20
s15850	0.95	478	1.147	987	0.83	0.24
s38417	1.31	268	1.12	2,030	1.17	0.24
s38584	1.27	268	1.18	1,184	1.07	0.23
Average	1.13	261	1.17	1,120	0.97	0.23

인코딩 효율의 증가를 보이는 것을 알 수 있다.

표 3은 제안된 구조를 가변 길이 LFSR 구조[14]를 인코딩 효율과 면적의 관점에서 비교한 결과를 제시하고 있다. 표3에 의하면 제안하는 방법론의 인코딩 효율은 가변 길이의 LFSR 리시딩 기법의 인코딩 효율과 거의 비슷한 수준을 보여주고 있다. 다만, s38417과 s38584와 같은 큰 회로에서는 제안한 구조의 인코딩 효율이 훨씬 좋은 것으로 나타났다. 평균적으로 제안하는 방법론은 가변길이 리시딩 기법에 비해서 3%정도 작은 인코딩 효율을 갖는 것을 알 수 있다. 하지만 하드웨어 오버헤드가 제안하는 방법론이 가변 길이 리시딩 기법과 비교했을 때 평균적으로 23% 수준의 매우 적은 면적으로 구현 가능한 장점이 있다. 즉 제안하는 방법론은 [14]의 방법에 비해서 매우 작은 면적의 하드웨어로 비슷한 수준의 인코딩 효율을 갖는 테스트 압축을 구현할 수 있음을 증명하였다.

#### IV. 결 론

본 논문에서는 LFSR과 스캔 체인에 서로 다른 주파수의 클럭을 사용하는 새로운 압축 기법을 제안하였다. LFSR에 스캔 체인의 클럭에 비하여  $r$ 배 만큼 느린 클럭을 사용하여 스캔 체인에  $r$ 개의 연속한 셀에 동일한 데이터를 입력시킬 수 있다. 스캔 셀을 효율적으로 그룹화함으로써 할당 비트의 수를 가상으로 줄일 수 있다. 이때 실제의 할당 비트의 수는 변화가 없으나 시드 계산을 위해 필요한 정보를 갖고 있는 유효 할당 비트의 수가 작아지기 때문에  $s_{max}$ 를 줄이는 것과 동일한 효과를 갖게 된다. 본 논문에서는 새로운 그래프 기반의 스캔 셀 그룹화 알고리즘을 제안하였으며, 이를 기반으로 인코딩 효율을 크게 증가시킬 수 있었다. 실험은 ISCAS 89 벤치마크 회로 중 큰 회로를 대상으로 수행하였으며 기존의 방법론과 비교했을 때, 매우 적은

하드웨어 오버헤드로 효율적인 압축을 수행할 수 있음을 증명하였다.

#### 참 고 문 헌

- [1] P. H. Bardell, W. Mcanney, and J. Savir, "Built-in Test for VLSI : Pseudo-Random Techniques," John Wiley and Sons, NewYork,1987.
- [2] V. D. Agrawal, C. R. Kime, and K. K. Sluja, "A Tutorial on Built-In Self-Test, Part 1: Principles," IEEE Design and Test of Computers, vol. 10, no. 1, pp. 73 - 82, March, 1993.
- [3] V. D. Agrawal, C. R. Kime, and K. K. Sluja, "A Tutorial on Built-In Self-Test, Part 2: Applications," IEEE Design and Test of Computers, vol. 10, no. 2, pp. 69 - 77, June, 1993.
- [4] V. S. Iyengar and D. Brand, "Synthesis and pseudo-random pattern testable designs," Proc. of International Test Conference, 1989, pp. 501-508
- [5] N. A. Touba and E. J. McCluskey, "Test point insertion based on path tracing," Proc. of VLSI Test Symposium, 1996, pp. 2-8.
- [6] F. Brglez, C. Gloster, and G. Kedem, "Hardware-based weighted random pattern generation for boundary scan," Proc. of Design Automation Conference, 1989, pp. 264-274.
- [7] H. -S. Kim, J. -K. Lee, and S. Kang, "A New Multiple Weight Set Calculation Algorithm," Proc. of International Test Conference, pp. 878 - 894, 2001.
- [8] N. A. Touba and E. J. McCluskey, "Altering a Pseudo-Random Bit Sequence for Scan-Based BIST," Proc. of International Test Conference, pp. 167-175, 1996.
- [9] H. J. Wunderlich and G. Kiefer, "Bit-Flipping BIST," Proc. of IEEE International Conference on Computer Aided Design, pp. 337-343, 1996.
- [10] B. Koemann, "LFSR-Coded Test Pattern for Scan Designs," Proc. European Test Conference, pp. 237-242, 1991.
- [11] S. Hellebrand, B. Reeb, S. Tarnick, and H. J. Wunderlich, "Pattern Generation for a Deterministic BIST Scheme," Proc. International Conference on Computer-Aided Design (ICCAD), pp. 88-94, 1995.
- [12] N. Zacharia, J. Rajski, J. Tyszer, and J. A. Waicukauski, "Two-Dimensional Test Decompressor for Multiple Scan Designs," Proc.

International Test Conferences, pp. 186-194, 1996.  
 [13] C. V. Krishna, A. Jas, and N. A. Touba, "Test Vector Encoding Using Partial LFSR Reseeding," Proc. International Test Conference, pp. 885-893, 2001.  
 [14] H.-S. Kim, Y. J. Kim and S. Kang, "Test-Decompression Mechanism Using a Variable-Length Multiple-Polynomial LFSR," IEEE Trans. on VLSI Systems, vol. 11, no. 4, pp.687-690, Aug., 2003.

저 자 소 개



김 홍 식(정회원)  
 1997년 연세대학교 전기공학과 학사 졸업.  
 1999년 연세대학교 전기 및 컴퓨터공학과 석사 졸업.  
 2004년 연세대학교 전기전자 공학과 박사 졸업.

2005년 Virginia 공대 박사후 연구원.  
 2006년 삼성전자 시스템 LSI 사업부 책임연구원  
 2008년 현재 연세대학교 TMS 사업단 연구교수.  
 <주관심분야: SoC 설계 및 테스트>



안 진 호(정회원)  
 1995년 연세대학교 전기공학과 학사 졸업.  
 1997년 연세대학교 전기공학과 석사 졸업.  
 2002년 LG전자 DTV연구소 주임연구원.

2006년 연세대학교 전기전자공학과 박사 졸업.  
 2008년 현재 호서대학교 전자공학과 전임강사.  
 <주관심분야: SoC 설계 및 응용, 테스트>



김 현 진(학생회원)  
 1997년 연세대학교 전기공학과 학사 졸업.  
 1999년 연세대학교 전기 및 컴퓨터공학과 석사 졸업.  
 2005년 삼성전기 중앙연구소 선임연구원

2008년 현재 연세대학교 전기전자공학과 박사과정  
 <주관심분야: SoC 설계 및 응용, CAD>



강 성 호(평생회원)  
 1986년 서울대학교 제어계측 공학과 학사 졸업.  
 1988년 University of Texas, Austin 전기 및 컴퓨터 공학과 석사 졸업.  
 1992년 University of Texas, Austin 전기 및 컴퓨터 공학과 박사 졸업.

1992년 미국 Schlumberger 연구원.  
 1994년 Motorola 선임 연구원.  
 2008년 현재 연세대학교 전기전자공학과 교수.  
 <주관심분야: SoC 설계 및 SoC 테스트 >