

논문 2005-42SD-8-2

# 천이 감시 윈도우를 이용한 새로운 저전력 LFSR 구조

( A New Low Power LFSR Architecture using  
a Transition Monitoring Window )

김 유 빈\*, 양 명 훈\*, 이 용\*, 강 성 호\*\*

( Youbean Kim, Myung-Hoon Yang, Yong Lee, Hyuntae Park, and Sungho Kang )

## 요 약

본 논문은 새로운 저전력 BIST 패턴 생성기에 대해 제안하고 있다. 이는 천이 감시 윈도우 블록과 MUX로 구성된 천이 감시 윈도우를 사용하는데, LFSR(linear feedback shift register)에서 생성되는 무작위 테스트 패턴의 패턴 천이 수 분포가 유사 무작위 가우시안(pseudo-random gaussian) 분포를 보이는 성질을 이용한다. 제안된 방식에서 천이 감시 윈도우는 스캔 체인에서 높은 전력 소모의 원인이 되는 초과 천이를 감지하고, k-value라는 억제 천이 수를 통해 초과 천이를 억제하는 역할을 한다. ISCAS'89 벤치마크 회로 중 많은 수의 스캔 입력을 갖는 회로를 사용하여 실험한 결과, 성능 손실 없이 약 60%정도의 스캔 천이 수 감소를 나타내었다.

## Abstract

This paper presents a new low power BIST TPG scheme. It uses a transition monitoring window (TMW) that is comprised of a transition monitoring window block and a MUX. When random test patterns are generated by an LFSR, transitions of those patterns satisfy pseudo-random gaussian distribution. The proposed technique represses transitions of patterns using a k-value which is a standard that is obtained from the distribution of TMW to observe over transitive patterns causing high power dissipation in a scan chain. Experimental results show that the proposed BIST TPG schemes can reduce scan transition by about 60% without performance loss in ISCAS'89 benchmark circuits that have large number scan inputs.

**Keywords :** Low Power, Built-in Self Test(BIST), Pseudo-Random Pattern.

## I. 서 론

LFSR(linear feedback shift register)는 BIST (built-in self test) 구조에서 테스트 패턴 생성기로 가장 일반적으로 사용되어진다. 하지만, CUT(circuit under test)가 랜덤 패턴 저항 고장(random pattern resistant fault)을 많이 가지고 있을 경우, 높은 고장 검출율을 얻기 위해 의도하지 않은 수의 많은 랜덤 패턴

이 필요하게 되는데, 이로 인해 전체 테스트 패턴의 양도 늘어날 뿐 아니라 테스트 시간도 그만큼 더 걸리게 된다<sup>[1]</sup>. BIST 관련 기술에 있어 높은 고장 검출율 달성을 위한 구조 연구는 분명 중요한 문제임에 틀림없지만, 본 논문에서는 BIST의 또다른 중대한 문제의 하나인 저전력 구조에 관하여 초점을 맞추었다. LFSR에 의해 생성되는 랜덤 패턴은 정상 동작 중 발생하는 벡터와 비교하여 비트 순차(sequence)간의 연관성(correlation)이 매우 낮으므로 테스트 시 CUT에 패턴이 인가되면서 비트 순차간의 신호 천이로 인해 의도하지 않았던 전력 소모를 일으키게 된다<sup>[2]</sup>. 이러한 전력 소모는 회로가 수용할 수 있는 최대 범위를 넘어설 경우 시스템의 신뢰성에 심각한 영향을 미칠 수 있는 고장을 일으킬 수 있다는 점에서 테스트 시 인가되는 패

\* 학생회원 \*\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic  
Engineering, Yonsei University)

※ 본 논문은 과학기술부와 산업자원부가 지원하는 국가 반도체 연구개발사업인 "시스템집적반도체기반 기술개발사업(시스템 IC 2010)"을 통해 개발된 결과임을 밝힙니다.

접수일자: 2005년2월18일, 수정완료일: 2005년7월21일

턴의 과다 천이에 의한 최대 전력(peak power) 초과를 해결해야 할 매우 중대한 문제이다<sup>[3]</sup>.

천이에 의한 전력 소모 문제와 관련하여 기존에 많은 연구들이 있었는데, DS-LFSR<sup>[4]</sup>은 지속적으로 동작하는 LFSR과 정상 속도로 동작하는 LFSR을 두어 평균 전력 소모(average power dissipation) 및 최대 전력 소모를 해결하고자 하였으나 테스트 패턴의 길이를 줄이지는 못하였고, [5]에서 제시된 기법에서는 테스트 패턴의 길이와 평균 전력 소모를 최초 입력단(primary input)의 신호 천이 동작 확률(signal switching activity probability)을 이용하여 줄이려 하였다. 앞에서 언급된 두 기법은 각각 19%와 78%의 평균 전력 소모를 줄이는 효과를 가져왔으나 이는 순간 전력(instantaneous power)과는 직접적 관련이 없어 최대 전력 문제는 감소시킬 수가 없었다. 최대 전력 문제와 관련한 기법으로 LT-RTPG<sup>[6]</sup>에서는 LFSR을 구성하는 각 플립플롭의 출력단의 일부를 입력으로 갖는 AND 게이트와 T-플립플롭으로 구성된 변형된 LFSR을 이용하여 스캔 이동 천이 수의 감소를 통해 최대 전력 소모를 줄이고자 하였고 그 결과 약 23~59%의 스캔 이동 천이 수의 감소를 이루었다. 본 논문에서는 랜덤 패턴의 천이 분포 특성과 일정 수의 천이가 넘는지의 여부를 감시할 천이 감시 윈도우를 이용하여 천이 수를 줄이고자 하였고 랜덤 분포의 확률적 개념을 사용함으로써 ISCAS'89 벤치마크 회로 전반에 걸쳐 고장 검출율에 악영향을 미치지 않으면서 약 60%의 균등한 천이 감소를 보여주었다.

II장에서는 랜덤 패턴의 천이 분포 특성에 대해 살펴보고, III장에서는 분포 특성을 이용하여 천이 감시 윈도우를 어떻게 정할 것인지에 대해 논의한다. 실제로 제시하는 기법을 이용하여 구성된 LFSR 구조에 대해서 IV장에서 언급하고, V장에서는 ISCAS'89 벤치마크 회로에 대한 실험 결과를 분석한다. 마지막으로 VI장에서 결과를 정리하고 결론을 맺도록 하겠다.

## II. 랜덤 패턴의 천이 분포 특성

LFSR에서 생성되는 랜덤 패턴의 천이 분포 특성에 대해 논하기 전에 몇 가지 본 논문에서 사용되는 용어에 대한 정의를 하고자 한다. 우선 LFSR에서 생성된 패턴이 스캔으로 인가될 때, 먼저 인가된 벡터  $S_i$ 와 연속적으로 바로 인가된 벡터  $S_j$ 의 값이 서로 다를 때 천이가 일어났다고 정의한다. 즉, 다음과 같이 표현된다.

위와 같이 인접한 두 스캔 간에 천이가 발생했을 때

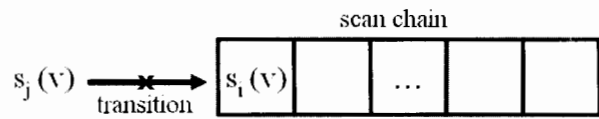
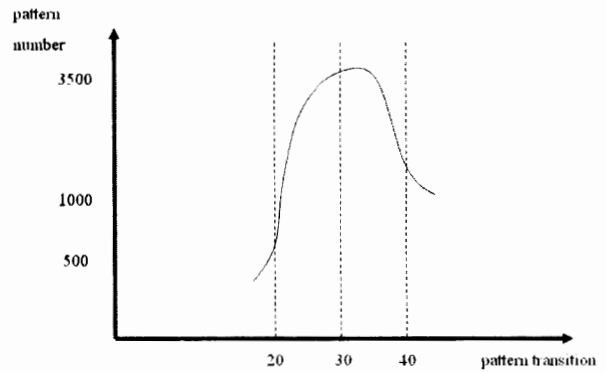
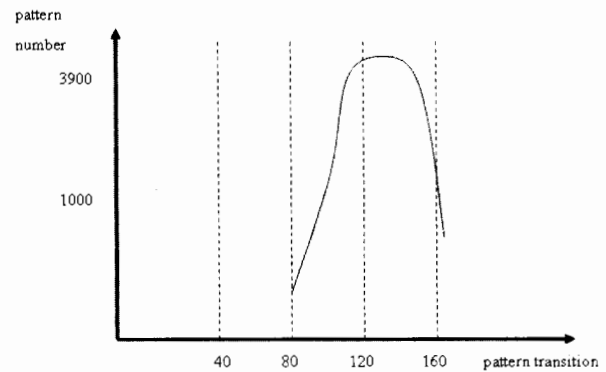


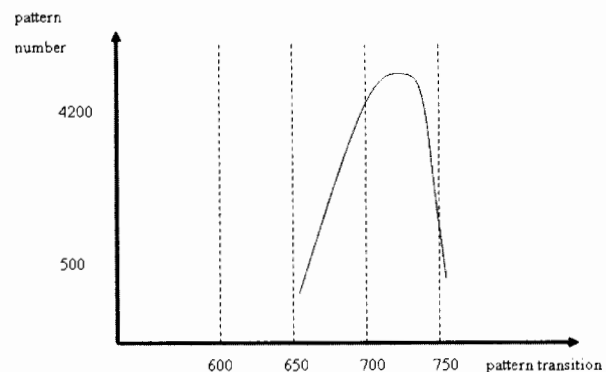
그림 1. 천이 발생의 정의  
Fig. 1. Definition of a Transition Occurrence.



(a) s1423



(b) s9234



(c) s38584

그림 3. 패턴 천이 분포 그래프  
Fig. 3. Pattern Transition Distribution Graph.

패턴 천이(pattern transition)가 1씩 증가 한다고 정의한다. 여기서 패턴은 스캔을 한번 다 채우는 벡터들의 집합을 의미하며, 벡터는 스캔에 입력되어지는 하나하

나의 비트를 의미하는 것이라 규정한다. 예를 들어, 다음과 같은 패턴이 있을 때 인접한 스캔 입력간의 패턴 천이 수는 8이 된다.

이러한 패턴 천이의 개념을 이용하여 LFSR에서 생성되는 랜덤 패턴의 패턴 천이 수를 계산하면 그 분포는 유사 가우시안 분포(pseudo gaussian distribution)를 따르게 된다. 그림 3은 각각 74개, 228개, 1452개의 스캔 입력을 갖는 ISCAS'89 벤치마크 회로인 s1423, s9234, s38584에 대해 5000개의 랜덤 패턴으로 패턴 천이 수를 계산하여 그래프로 표현한 것이다.

그림 3(a)에서 보면 5000개의 패턴 중 30개의 패턴 천이 수를 갖는 패턴은 약 3500개 정도임을 의미하고, 20개의 패턴 천이 수를 갖는 패턴은 약 500개, 40개의 패턴 천이 수를 갖는 패턴은 약 1000개 정도임을 나타낸다. 이러한 패턴 천이 수와 해당 패턴의 수를 샘플링을 통해 더 많은 수를 조사한 후 점들을 연결하면 다른 회로들에 대해서도 그림 3에서 표현한 것과 같은 그래프를 얻을 수 있다.

그런데 이러한 패턴 천이 수를 잘 살펴보면 n개의 스캔 입력을 갖는 회로는 총 (n-1)개의 패턴 천이가 발생하는 위치를 갖게 되며, 발생하는 랜덤 패턴은 (n-1)/2을 중심으로 하여 거의 대칭을 이루며 분포하게 된다. 위에서 살펴본 s1423의 평균 패턴 천이 수의 값이 5000개의 패턴에서 36.5이고 (n-1)/2의 값도 36.5로 동일함을 알 수가 있는데, 이는 실제 ISCAS'89 회로 전체에 대해서도 두 자료의 값이 거의 유사하게 나타나게 된다. 이러한 사실은 표 1에서도 확인할 수 있다. 표 1에 열거하지 않은 회로들 역시 유사 랜덤 가우시안 분포를 보이기 때문에 평균 패턴 천이 수와 (n-1)/2는 큰 오차가 없을 것임을 추론할 수 있다.

표 1. 예시 회로의 평균 패턴 천이 수와 (n-1)/2의 비교

Table 1. Comparison between Average Pattern Transition and (n-1)/2 in Some Benchmark Circuits.

	Average Pattern Transition	$\frac{(n-1)}{2}$	Scan Inputs
s838	22.77	15.5	32
s1432	36.5	36.5	74
s9234	113.6	113.5	228
s13207	334.2	334	669
s38417	817.4	817.5	1636
s38584	725.3	725.5	1452

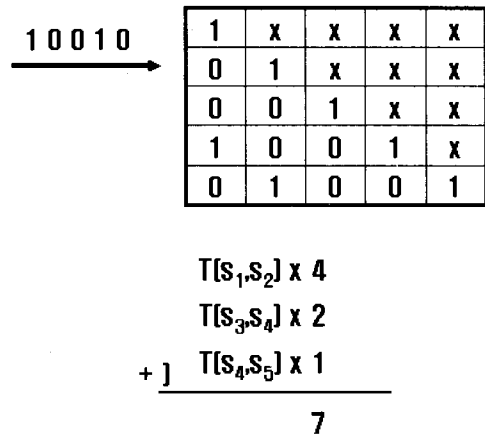


그림 4. 5개 스캔 입력 회로에서의 이동 천이 수  
Fig. 4. Calculation of Scan Shifting in 5 Stage Inputs.

이러한 분포 특성은 LFSR에서 발생되는 벡터에 의해 생기는 것이며, 만약 LFSR에서 어떤 천이들이 발생되는지를 미리 감지할 수 있다면 일정 범위가 넘는 천이 발생 시에는 스캔에 해당 벡터가 인가되지 않고 바로 이전에 스캔에 인가된 벡터가 할당되도록 하여 패턴 천이 수의 억제 효과를 얻을 수 있게 될 것이고, 그 결과 전체 스캔 이동 천이 수의 감소 효과를 가져와 스캔 이동 천이에 의한 최대 전력 문제를 해결할 수가 있을 것이다.

생성된 패턴의 스캔 이동 천이 수는 그림 4와 같은 과정으로 계산된다. 예를 들어, 5개의 스캔 입력을 가지는 회로에 그림 4와 같은 패턴 <1,0,0,1,0>이 입력될 때 스캔 이동 천이 수는 7이 된다.

T(S<sub>i</sub>,S<sub>2</sub>)는 처음 입력되는 벡터 S<sub>1</sub>,S<sub>2</sub>간의 천이를 의미하며 최종 벡터의 입력이 들어와 스캔이 다 채워질 때 까지 총 4번의 천이가 스캔 이동과 함께 이루어지게 된다. 마찬가지로 T(S<sub>3</sub>,S<sub>4</sub>), T(S<sub>4</sub>,S<sub>5</sub>)를 고려하면, 패턴 <1,0,0,1,0>이 5개의 스캔에 채워지기 위해서는 총 7번의 스캔 이동이 있는 것으로 계산한다. 또한 패턴 <1,0,0,1,0>의 패턴 천이 수는 앞서 언급한 정의에 의해 3이 됨을 알 수가 있다. 이러한 정의와 개념을 이용하여 다음 장에서 실제 천이 감시 윈도우의 크기와 억제 천이 수를 얼마로 설정해야 최적의 지에 대해 살펴 볼 것이다.

### III. 천이 감시 윈도우의 크기와 k-value 설정

앞서 살펴본 바와 같이 랜덤 패턴의 천이 분포 특성

을 이용하여 LFSR에서 일정 수 이상의 천이 발생 여부를 감지하여 해당 벡터의 인가를 막을 수 있다면 스캔 이동 천이의 수를 급격히 감소시킬 수 있을 것이다. 이때 LFSR에서의 천이 수는  $\Pi$ 장에서 언급한 이론을 사용하여 LFSR에서 천이를 감시할 윈도우 크기를  $n$ 으로 보고  $(n-1)/2$ 를 평균 패턴 천이 수로 간주하여  $(n-1)/2$ 이상의 패턴 천이 수가 발생되는지를 감시함으로써 조절된다. 이 때  $(n-1)/2$  보다 더 작은 천이 감시 값을 설정한다면 보다 더 많은 수의 천이를 억제할 수 있겠지만, 그 결과 동일 벡터의 과다 발생으로 인한 고장 검출율의 하락이 오는 것을 실험결과를 통해 알 수 있었다. 그러므로 본 논문에서는  $(n-1)/2$ 의 값에 일정 수를 더하거나 빼서 최적의 억제 천이 수를 결정하게 된다. 어떤 수를 더하거나 빼는가에 따라 천이 감소 수가 급격히 향상되는 반면 연속된 동일 벡터의 입력으로 인해 고장 검출율이 감소할 수 있으므로, 두 가지의 요인을 잘 고려해서 해당 수를 찾아야 한다.

먼저 천이 감시 윈도우 크기는 어떻게 정하는지를 그림 5를 통해 살펴보자. TD는 천이 밀도(transition density)를 의미한다. 그림에서 보다시피 만약 천이 감시 윈도우를 최대로 크게 하여 LFSR의 사이즈만큼 설정했을 경우, 전체 LFSR에서 발생하는 천이를 TMW 블록에서 감시를 하게 되고 일정 수가 넘는 천이가 발생될 경우 해당 클럭에 출력되는 LFSR의 벡터를 억제하고 직전에 스캔에 입력된 벡터가 다시 들어가게 되는데, 이때  $TD_1$ 보다  $TD_2$ 가 크다면 곧 출력될 벡터를 억제하는 긍정적 효과를 얻을 수 있겠지만,  $TD_1$ 이  $TD_2$ 보다 큰 경우에는 아직 도래하지 않은 벡터의 천이로 인해 오히려 천이 밀도가 낮은 곧 출력될 벡터가 억제되

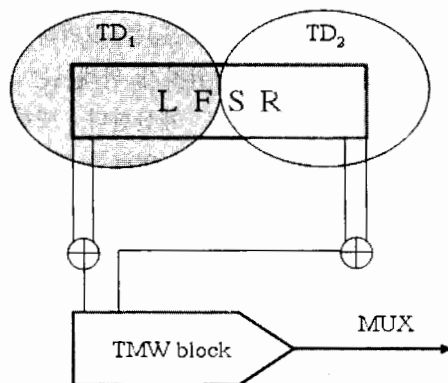


그림 5. 감시 윈도우 크기와 천이 밀도와의 관계

Fig. 5. Relation between the Transition Monitoring Window Size and Transition Density.

는 부정적 효과가 나타나므로, 감시 윈도우의 크기는 가능한 LFSR의 사이즈 보다 작으면 작을수록 좋다는 것을 알 수가 있다. 하지만 너무 작은 감시 윈도우를 사용할 경우 지나친 천이 감시로 인해 출력되는 벡터가 무리하게 억제될 수 있으므로 본 논문에서는 실험을 통해 최적의 감시 윈도우의 크기를 정하였다.

실제로 유사 랜덤 가우시안 분포를 보이는 랜덤 패턴의 천이 수를 감시하기 위해서는 몇 개의 표본 조사를 통해 감시 윈도우의 크기를 정할 수 있다. 실제 실험을 통해 LFSR 크기의  $3/4$ ,  $1/2$ ,  $1/4$  크기를 적용시켜 본 결과, LFSR 크기의 절반이 가장 최적의 윈도우 크기임을 알 수가 있었다.

윈도우 크기를 LFSR의 절반으로 정한다고 했을 때, 이제 얼마만큼의 천이 수를 억제할 것인지에 대한 설정이 필요하다. 윈도우의 크기를  $n$ 으로 볼 때, 2장의 이론을 따르면 감시 윈도우 내부의 벡터들은  $(n-1)/2$ 를 중심으로 유사 가우시안 분포를 보이게 될 것이다. 이 값을 중심으로 해서 일정 수를 더하고 빼는 것을 통해 최적의 억제 천이 수를 정할 수 있는데, 이러한 억제 천이 수를  $k$ -value라고 부르기로 한다. 즉, 다음과 같은 식에 의해 결정되어 진다.

$$\text{Monitoring Window Size} = \frac{\text{LFSR size}}{2} \quad (2)$$

$$k - \text{value} =$$

$$\frac{\text{Monitoring Window Size} - 1}{2} \pm \alpha \quad (3)$$

$k$ -value를 너무 작게 설정하여 억제 천이 수가 많아지면 앞서 언급한 바와 같이 과다 연속 동일 벡터 수가 많아지면서 고장 검출율이 현격하게 낮아지므로  $\alpha=0$ 을 기준으로 하여 다양한 값을 넣어 감소되는 천이 수와 고장 검출율의 하락 추세를 살펴서  $k$ -value를 정하는 방식을 사용하였다. 거듭 설명하지만, 이러한 확률적 실험이 가능한 이유는 생성되는 LFSR의 랜덤 패턴이 거의 동일하게 유사 랜덤 가우시안 분포를 따르기 때문이다.

#### IV. 저전력을 위한 부가적인 회로

III장에서 설명한 천이 감시 윈도우와 억제 천이 수를 이용하여 LFSR에서 생성되는 벡터를 조절하게 되는 하드웨어 구조를 살펴보자.

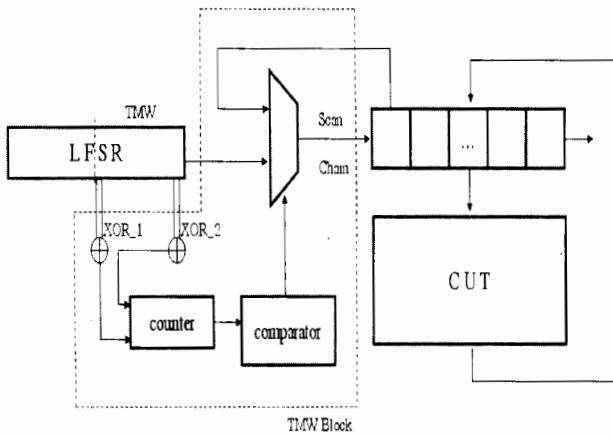


그림 6. 감시 윈도우를 부가한 회로  
Fig. 6. Additional Circuit using Transition Monitoring Window.

표 2. XOR 게이트와 카운터 동작  
Table 2. Operations of Two XOR Gates and a Counter.

XOR_1	XOR_2	operation
0	0	-
0	1	count down
1	0	count up
1	1	-

그림 6에서 보는 바와 같이 두 개의 XOR 게이트, 카운터, 그리고 비교기로 구성된 감시 윈도우가 MUX에 enable/disable 신호를 주게 되어 있고 그 결과에 따라 LFSR에서 생성된 벡터가 그대로 스캔에 인가되거나, 직전에 스캔에 인가되었던 벡터가 다시 MUX를 통해 재인가되도록 하는 구조로 되어 있다. 두 개의 XOR 게이트는 표 2와 같이 동작하는데, XOR\_1은 천이 감시 윈도우에 입력되는 벡터의 천이를 감시하고, XOR\_2는 천이 감시 윈도우에서 출력되는 벡터의 천이를 감시하여 카운터가 천이 감시 윈도우 내의 패턴 천이 수를 정확하게 갖도록 조정한다. 즉 XOR\_1에 의해 천이가 감지되면 천이 감시 윈도우 내부에 천이가 증가되는 것이므로 카운터를 증가시키는 동작을 하게 되고, XOR\_2에 의해 천이가 감지되면 천이 감시 윈도우 내부의 천이가 감소되는 것이므로 카운터를 1씩 감소시키게 되며, 그 이외에 대해서는 아무런 동작을 하지 않게 함으로써 천이 감시 윈도우 내부의 천이를 정확하게 파악 하도록 했다.

이렇게 파악된 천이 감시 윈도우 내부의 천이 수는

매 클럭마다 비교기에 저장되어 있는 k-value와 비교되며, 감지된 천이 수가 k-value보다 크면 MUX를 enable시켜 직전에 스캔에 인가된 고연관성의 천이가 억제된 벡터를 스캔에 인가하고, 감지된 천이 수가 k-value보다 작을 경우 MUX를 disable시켜 원래 발생한 벡터를 그대로 스캔에 인가하도록 하는 방법을 취한다. 이러한 일련의 과정은 LFSR에서 생성되는 벡터들의 천이 경향에 따라 MUX가 동작하거나 동작하지 않게 되므로 실제 같은 패턴이 연속하여 나타나는 위치가 다양하게 흩어지게 되어 고장 검출율의 하락을 피하게 된다.

카운터 블록은 천이 감시 윈도우의 최대 패턴 천이 수를 감지하면 되므로  $\log_2(\text{MonitoringWindowSize})$ 만큼의 길이를 갖게 된다. 예를 들면, 32비트의 LFSR에서 천이 감시 윈도우의 크기는 그 절반인 16비트가 될 것이고, 이때 카운터는 총 15개의 패턴 천이 수를 계수할 수 있으면 되므로  $\log_2 16$ , 즉 4비트 카운터면 충분하다는 결론이 나온다. 이는 LFSR의 길이에 비해 상대적으로 적은 하드웨어 오버헤드로도 충분히 천이를 감지할 수 있다는 것을 의미하는 것이다.

### V. 실험 결과

본 논문의 실험은 ISCAS'89 벤치 마크 회로를 통해 이루어졌고, 해당 하드웨어를 그대로 구현한 C++를 통해 실제 시뮬레이션이 이루어졌다. 실험 결과는 대표적인 이전 방식인 LT-RTPG<sup>[6]</sup>와 비교하였고 표 5에 이를 나타내었다.

표 3. 실험에 사용된 회로의 입력 단의 종류와 수

Table 3. Number and Type of Circuit Inputs used in the Experiment.

	PI	SI
s838	35	32
s953	16	29
s1196	14	18
s1423	17	74
s5378	35	179
s9234	19	228
s13207	31	669
s38584	12	1452
s38417	28	1636

표 4. LFSR과 감시 윈도우 크기별 결과표  
Table 4. Result of the Experiment using Variable Size of LFSR and Transition Monitoring Window.

(a) LFSR 32 bits, TMW 16 bits

LFSR	32							
	TMW							
	16							
k-value	10		9		8		7	
	TR(%)	FC	TR(%)	FC	TR(%)	FC	TR(%)	FC
s5378	25.1	97.39	38.5	96.39	55.2	95.70	65.2	93.53
s9234	25.3	88.34	42.9	87.21	61.4	86.40	77.7	83.25
s13207	25.5	97.10	43.5	96.32	62.9	95.31	79.4	92.41
s38417	26.4	94.37	43.7	94.25	63.3	93.53	78.3	91.51
s38584	25.4	94.64	42.2	94.21	60.4	93.84	75.5	92.36

(b) LFSR 24 bits, TMW 12 bits

LFSR	24							
	TMW							
	12							
k-value	8		7		6		5	
	TR(%)	FC	TR(%)	FC	TR(%)	FC	TR(%)	FC
s5378	22.5	97.51	40.7	96.42	55.3	95.11	78.5	93.23
s9234	22.1	88.53	42.2	86.31	64.4	86.17	82.5	83.27
s13207	23.2	97.25	42.5	96.72	62.4	95.35	80.6	92.28
s38417	23.4	94.63	41.3	94.34	63.3	93.43	79.4	90.25
s38584	22.3	94.92	40.6	93.37	62.2	92.68	77.2	90.41

(c) LFSR 16 bits, TMW 8 bits

LFSR	16							
	TMW							
	8							
k-value	6		5		4		3	
	TR(%)	FC	TR(%)	FC	TR(%)	FC	TR(%)	FC
s5378	17.4	98.36	38.4	96.19	65.2	95.04	84.3	92.97
s9234	17.5	88.74	41.1	87.25	68.5	86.24	88.5	83.16
s13207	16.5	97.36	43.2	96.65	63.2	95.63	84.2	92.41
s38417	19.2	94.56	44.5	94.41	63.2	93.45	85.1	90.24
s38584	17.4	94.90	42.2	93.31	64.3	92.68	83.2	90.40

LFSR의 크기는 32비트, 24비트, 16비트를 사용하였고 천이 감시 윈도우의 크기는 앞에서 언급한 바와 같이 그 절반 크기를 사용하였다. 해당 천이 감시 윈도우내의 억제 천이 수 k-value는 IV장에서 다루었던 것처럼 k-value의  $\alpha = 0$ 을 중심으로 4개 정도를 실험하였다. 실험 결과는 모든 회로가 다 균일하게 랜덤 패턴 분포를 따라 천이 수가 감소됨을 보여준다. 표 3은 실험에 사용된 회로의 최초 입력단(PI)의 수와 스캔 입력(SI)의 수를 의미한다. 표 4는 각 LFSR의 크기와 억제 천이 수 별로 결과를 정리하여 나타내었다. 억제 천이 수에서 TR(transition

표 5. 이전에 제안된 방식과의 비교  
Table 5. Comparison of the Previous Work and the Proposed Scheme.

Previous Work	Proposed Scheme (when, $\alpha=1$ in k-value)							
	LFSR 32/TMW 16		LFSR 24/TMW 12		LFSR 16/TMW 8			
circuit	TR(%)	FC	TR(%)	FC	TR(%)	FC	TR(%)	FC
s838	33.1	89.92	52.6	98.95	59.6	97.72	66.3	97.62
s953	34.5	96.16	51.5	95.53	58.8	95.61	65.9	95.04
s1196	20.4	95.53	48.5	96.25	55.8	96.31	64.3	96.71
s1423	30.9	98.42	58.0	98.28	62.9	98.32	68.8	98.17
s5378	27.0	98.74	55.2	95.70	55.3	95.11	65.2	95.04
s9234	34.9	91.78	61.4	86.4	64.4	86.17	68.5	86.24

reduction) 항목은 감소된 천이의 비율을 의미하고, FC (fault coverage) 항목은 고장 검출율을 의미한다. 실험 결과에서 알 수 있듯이 실험에 사용된 회로 전반에 걸쳐 균등하게 억제 천이 수인 k-value의  $\alpha = 1$ 일 때(굵은 선으로 처리한 부분) 약 60%정도의 천이 감소를 보이며 고장 검출율의 변화도 가장 적어 최적임을 알 수 있다. 고장 검출율의 변화를 볼 때  $\alpha = 1$ 을 극점으로 하여  $\alpha = 0$ 일 때 고장 검출율의 하락이 비교적 크게 나타나는데, 이는 k-value의 크기가 너무 작아 그만큼 억제되는 천이 수가 더 많아져 고연관의 동일 벡터가 더 길게 생성되었기 때문이다.

표 5는 이전에 제안된 방식에서 사용된 회로들을 이용하여 본 논문에서 제안하는 기법으로 실험하여 결과를 정리한 것이다. 이전 논문에서는 s9234보다 작은 회로에 대해서만 실험이 이루어졌기 때문에 본 논문에서는 성능 비교를 위한 실험과 s9234보다 큰 회로에 대한 실험 두 종류로 분류하여 실험을 하였다. 표에서 알 수 있듯이 약 30%정도의 향상된 천이 감소 비율을 보이고 있다.

## VI. 결론

본 논문은 LFSR에서 생성되는 랜덤 패턴의 유사 가우시안 분포를 이용하여 천이를 감시하고 억제시키는 부가적인 천이 감시 윈도우 블록을 통해 스캔에 벡터가 인가되면서 스캔 이동에 소비되는 천이의 수를 줄임으로서 최대 전력 문제를 해결하고자 하였다. 실험 결과를 분석해 보면, 각 LFSR 크기별로 생성된 패턴들이 랜덤 가우시안 분포를 비교적 충실히 따르고 있기 때문에 거의 균일하게 약 60%정도의 천이 감소가 나타남을

알 수 있다.

마찬가지 이유로, 천이 감시 윈도우의 크기를 절반으로 하고 억제 천이 수의 k-value가  $\alpha=1$ 일 때 균일하게 고장 검출율에 거의 영향을 주지 않는 최적의 천이 감소를 보임을 알 수 있었다. 이 결과는 이전에 발표되었던 논문의 결과와 비교하여 비교적 균일한 천이 감소를 보인다는 점에서 특징을 가지며, 천이 감소율 역시 평균치를 비교하여 고장 검출율의 손실 없이 약 30%정도 더욱 향상된 결과를 보이고 있다.

### 참 고 문 헌

- [1] Nan-Cheng Lai and Syng-Jyan Wang, "A Reseeding Technique for LFSR-Based BIST Applications", Proc. IEEE Asian Test Symposium (ATS), 2002, pp. 200-205.
- [2] Seongmoon Wang, "Generation of Low Power Dissipation and High Fault Coverage Patterns for Scan-Based BIST", Proc. IEEE International Test Conference (ITC), 2002, pp. 834-843.
- [3] Xiaodong Zhang and Kaushik Roy, "Peak Power Reduction in Low Power BIST", Proc. ISQED, 2000, pp. 425-432.
- [4] S. Wang, and K. Gupta, "DS-LFSR : A New BIST TPG for Low Heat Dissipation", Proc. IEEE International Test Conference (ITC), 1997, pp. 848-857.
- [5] X. Zhang, K. Roy, and S. Bhawmik, "POWERTEST : A Tool for Energy Conscious Weighted Random Pattern Testing", Proc. The 12th International Conference on VLSI Design, 1999, pp. 416-422.
- [6] S. Wang, and K. Gupta, "LT-RTPG : A New Test-Per-Scan BIST TPG for low Heat Dissipation", Proc. IEEE International Test Conference (ITC), 1999, pp. 85-94.
- [7] N. Ahmed, M. H. Teharanipour, and M. Nourani, "Low Power Pattern Generation for BIST Architecture", proc. IEEE ISCAS, 2004, pp. 689-692.
- [8] Nadir Z. Basturkmen, Sudhakar M. Reddy, and Irith Pomeranz, "A Low Power Pseudo-Random BIST Technique", proc. IOLTS, 2002, pp. 140-144.
- [9] S. Wang, "Low Hardware Overhead Scan Based 3-Weighted Weighted Random BIST", Proc. IEEE International Test Conference (ITC), 2001, pp. 868-877.
- [10] S. Manich, A. Gabarro, M. Lopez, and J. Figueras, "Low Power BIST by Filtering Non-Detecting Vectors", Proc. IEEE Test workshop, 1999, pp. 165-170.
- [11] He Ronghui, Li Xiaowei, and Gong Yunzhan, "A Low Power BIST TPG Design", Proc. IEEE 5th International ASIC Conference, 2003, pp. 1136-1139.
- [12] Kenneth M. Butler, Jayashree Saxena, Tony Fryars, and Graham Hethrington, "Minimizing Power Consumption in Scan Testing: Pattern Generation and DFT Techniques", Proc. IEEE International Test Conference (ITC), 2004, pp. 355-364.
- [13] Debijoti Ghosh, Swarup Bhunia, and Kaushik Roy, "A Technique to Reduce Power and Test Application Time in BIST", Proc. IEEE International On-Line Testing Symposium (IOLTS), 2004, pp. 182-183.
- [14] C. Y. Tsui, J. Rajski, and M. Marek0Sadowska, "Star Test: The Theory and Its Applications", IEEE Trans. On Computer-Aided Design of Integrated Circuit and System, Vol. 19(9), September 2000, pp. 1052-1064.
- [15] Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices", Proc. VLSI Testing Symposium, 1993, pp. 4-9.

저 자 소 개



김 유 빈(학생회원)  
 2002년 서강대학교 컴퓨터학과  
 학사 졸업.  
 2004년 서강대학교 컴퓨터학과  
 석사 졸업.  
 2005년 현재 연세대학교 전기전자  
 공학과 박사 과정.

<주관심분야 : BIST, DFT, SoC Test>



양 명 훈(학생회원)  
 1996년 연세대학교 전기공학과  
 학사 졸업.  
 1998년 연세대학교 전기공학과  
 석사 졸업.  
 2004년 삼성전자 System LSI  
 사업부 선임연구원.

2005년 현재 연세대학교 전기전자공학과 박사  
 과정.

<주관심분야 : DFT, BIST, SoC 설계>



이 용(학생회원)  
 2003년 연세대학교 전기전자  
 공학과 학사 졸업.  
 2003년 연세대학교 아식설계 공동  
 연구소 연구원  
 2005년 현재 연세대학교 전기전자  
 공학과 석사 과정.

<주관심분야 : DFT, BIST, Test Compression>



강 성 호(정회원)  
 1986년 서울대학교 제어계측  
 공학과 학사 졸업.  
 1988년 The University of Texas,  
 Austin 전기 및 컴퓨터  
 공학과 석사 졸업.

1992년 The University of Texas,  
 Austin 전기 및 컴퓨터공학과 박사 졸업

1992년 미국 Schlumberger Inc. 연구원

1994년 Motorola Inc. 선임 연구원

현재 연세대학교 전기전자공학과 교수

<주관심분야 : SoC 설계 및 SoC 테스트>